

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月28日

出 願 番 号

Application Number:

特願2002-346256

[ST.10/C]:

[JP 2002-346256]

出 願 人

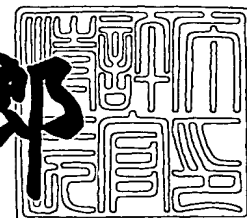
Applicant(s):

沖電気工業株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3035406

【書類名】 特許願

【整理番号】 OH003767

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

 【氏名】 照井 誠

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100085419

 【弁理士】

 【氏名又は名称】 大垣 孝

【手数料の表示】

 【予納台帳番号】 012715

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 複数の回路素子接続用パッドが設けられている第 1 領域、及び該第 1 領域の周辺を取り囲む第 2 領域を有する半導体基板と、

前記第 1 領域上に配置された複数の第 1 外部端子と、

前記第 2 領域上に配置された複数の第 2 外部端子と、

前記第 1 領域上に形成され、前記複数の第 1 外部端子と前記複数の回路素子接続用パッドのうちの第 1 個数の回路素子接続用パッドとを電氣的に個別に接続する、複数の第 1 配線構造と、

前記第 1 領域上から前記第 2 領域上に渡って形成され、前記複数の第 2 外部端子と前記複数の回路素子接続用パッドのうちの第 2 個数の回路素子接続用パッドとを電氣的に個別に接続する、複数の第 2 配線構造と、

前記第 2 領域上に形成され、前記複数の第 2 配線構造のいずれかと電氣的に接続されている受動素子と

を具備していることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、

前記複数の第 1 配線構造の各々は、前記第 1 個数の回路素子接続用パッドのいずれかに電氣的に個別に接続される第 1 再配線層と、該第 1 再配線層と前記複数の第 1 外部端子のいずれかとを電氣的に個別に接続する第 1 ポスト部とを含み、

前記複数の第 2 配線構造の各々は、前記第 1 領域から前記第 2 領域に渡って形成されるとともに、前記第 2 個数の回路素子接続用パッドのいずれかに電氣的に個別に接続される第 2 再配線層と、該第 2 再配線層と前記複数の第 2 外部端子のいずれかとを電氣的に個別に接続する第 2 ポスト部とを含み、及び

前記受動素子は、いずれかの前記第 2 再配線層に電氣的に接続してあることを特徴とする半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置において、

前記受動素子は、上部電極と、下部電極と、これら上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタであって、

前記上部電極をいずれかの前記第 2 再配線層に電氣的に接続するとともに、該第 2 再配線層とは別の前記第 2 再配線層のいずれかに前記下部電極を電氣的に接続してあること

を特徴とする半導体装置。

【請求項 4】 請求項 2 に記載の半導体装置において、

前記受動素子はインダクタであって、該インダクタは、いずれかの前記第 2 再配線層の配線経路の途中に設けられていること

を特徴とする半導体装置。

【請求項 5】 請求項 1 に記載の半導体装置において、

前記複数の第 1 配線構造の各々は、前記第 1 個数の回路素子接続用パッドのいずれかに電氣的に個別に接続される第 1 再配線層と、該第 1 再配線層と前記複数の第 1 外部端子のいずれかとを電氣的に個別に接続する第 1 ポスト部とを含み、

前記複数の第 2 配線構造の各々は、前記第 1 領域から前記第 2 領域に渡って形成されるとともに、前記第 2 個数の回路素子接続用パッドのいずれかに電氣的に個別に接続される第 2 再配線層と、該第 2 再配線層と前記複数の第 2 外部端子のいずれかとを電氣的に個別に接続する第 2 ポスト部とを含み、及び

前記受動素子は、前記第 2 領域上に設けられた受動素子用パッドを経て、いずれかの前記第 2 再配線層に電氣的に接続してあること

を特徴とする半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置において、

前記受動素子は、上部電極と、下部電極と、これら上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタであって、

前記上部電極と電氣的に接続された受動素子用パッドを第 1 キャパシタ接続用パッドとし、前記下部電極と電氣的に接続された受動素子用パッドを第 2 キャパシタ接続用パッドとし、及び

前記第 1 キャパシタ接続用パッドをいずれかの前記第 2 再配線層に電氣的に接続するとともに、該第 2 再配線層とは別の前記第 2 再配線層のいずれかに前記第 2 キャパシタ接続用パッドを電氣的に接続してあること

を特徴とする半導体装置。

【請求項 7】 請求項 5 に記載の半導体装置において、
前記受動素子はインダクタであって、

ひとつのインダクタに対して、2 つの受動素子用パッドを電氣的に接続するとともに、これら 2 つの受動素子用パッドを第 1 及び第 2 インダクタ接続用パッドとし、及び

いずれかの前記第 2 再配線層に、前記第 1 及び第 2 インダクタ接続用パッドをそれぞれ電氣的に接続してあること
を特徴とする半導体装置。

【請求項 8】 請求項 5 ～ 7 のいずれか一項に記載の半導体装置において、
複数の前記受動素子をアレイ状に設けてあることを特徴とする半導体装置。

【請求項 9】 (a) 半導体基板に、複数の回路素子接続用パッドが設けられている第 1 領域と、該第 1 領域の周辺を取り囲む第 2 領域とを設定する工程と

(b) 前記第 1 領域上に、前記複数の回路素子接続用パッドのうちの第 1 個数の回路素子接続用パッドに電氣的に個別に接続される、複数の第 1 配線構造を形成する工程と、

(c) 前記複数の回路素子接続用パッドのうちの第 2 個数の回路素子接続用パッドに電氣的に個別に接続される、複数の第 2 配線構造を、前記第 1 領域上から前記第 2 領域上に渡って形成する工程と、

(d) 前記複数の第 2 配線構造のいずれかと電氣的に接続される受動素子を前記第 2 領域上に形成する工程と、

(e) 前記第 1 領域上に、前記複数の第 1 配線構造と電氣的に個別に接続される、複数の第 1 外部端子を形成し、及び

(f) 前記第 2 領域上に、前記複数の第 2 配線構造と電氣的に個別に接続される、複数の第 2 外部端子を形成する工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 に記載の半導体装置の製造方法において、
前記 (b) 工程での前記複数の第 1 配線構造の各々の形成は、
前記第 1 個数の回路素子接続用パッドのいずれかに電氣的に個別に接続される

第 1 再配線層を形成した後、該第 1 再配線層と電氣的に接続される第 1 ポスト部を形成することによって行い、

前記 (c) 工程での前記複数の第 2 配線構造の各々の形成は、

前記第 2 個数の回路素子接続用パッドのいずれかと電氣的に個別に接続される第 2 再配線層を、前記第 1 領域から前記第 2 領域に渡って形成し、

前記 (d) 工程を、前記第 2 再配線層のいずれかに電氣的に接続される前記受動素子を形成することによって行った後、

前記第 2 再配線層と電氣的に接続される第 2 ポスト部を形成することによって行い、及び

前記 (e) 及び (f) 工程を、前記複数の第 1 外部端子のいずれかを、前記第 1 ポスト部と電氣的に個別に接続して形成するとともに、前記複数の第 2 外部端子のいずれかを、前記第 2 ポスト部と電氣的に個別に接続して形成することによって行うこと

を特徴とする半導体装置の製造方法。

【請求項 1 1】 請求項 1 0 に記載の半導体装置の製造方法において、

前記受動素子は、上部電極と、下部電極と、これら上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタであって、

前記受動素子の形成は、

いずれかの前記第 2 再配線層に電氣的に接続される前記下部電極、及び前記誘電体膜を、それぞれ形成するとともに、前記下部電極が電氣的に接続された前記第 2 再配線層とは別の前記第 2 再配線層のいずれかに電氣的に接続される上部電極を形成することによって行うこと

を特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 1 0 に記載の半導体装置の製造方法において、

前記受動素子はインダクタであって、前記受動素子の形成を、いずれかの前記第 2 再配線層の配線構造の途中に前記インダクタを形成することによって行うこと

を特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 9 に記載の半導体装置の製造方法において、

前記（a）工程の後であって、前記（b）及び（c）工程の前に、前記（d）工程における前記受動素子の形成を行うとともに、該受動素子と電氣的に接続される受動素子用パッドを前記第 2 領域上に形成しておき、

前記（b）工程での前記複数の第 1 配線構造の各々の形成は、

前記第 1 個数の回路素子接続用パッドのいずれかに電氣的に個別に接続される第 1 再配線層を形成した後、該第 1 再配線層と電氣的に接続される第 1 ポスト部を形成することによって行い、

前記（c）工程での前記複数の第 2 配線構造の各々の形成は、

前記第 2 個数の回路素子接続用パッドのいずれかと電氣的に個別に接続される第 2 再配線層を、該第 2 再配線層のいずれかが前記受動素子用パッドと電氣的に接続されるように、前記第 1 領域から前記第 2 領域に渡って形成した後、前記第 2 再配線層と電氣的に接続される第 2 ポスト部を形成することによって行い、及び

前記（e）及び（f）工程を、前記複数の第 1 外部端子のいずれかを、前記第 1 ポスト部と電氣的に個別に接続して形成するとともに、前記複数の第 2 外部端子のいずれかを、前記第 2 ポスト部と電氣的に個別に接続して形成することによって行うこと

を特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 3 に記載の半導体装置の製造方法において、

前記受動素子は、上部電極と、下部電極と、これら上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタであって、

前記受動素子の形成は、

2 つの前記受動素子用パッドのいずれか一方と電氣的に接続される前記下部電極、及び前記誘電体膜を形成するとともに、前記 2 つの受動素子用パッドのうち、他方の受動素子用パッドと電氣的に接続される上部電極を形成することによって行い、及び

前記上部電極と電氣的に接続された受動素子用パッドを第 1 キャパシタ接続用パッドとし、前記下部電極と電氣的に接続された受動素子用パッドを第 2 キャパシタ接続用パッドとしておき、

かつ前記(c)工程において、前記第2再配線層の形成を、該第2再配線層のいずれかが前記第1キャパシタ接続用パッドと電氣的に接続するように行うとともに、該第1キャパシタ接続用パッドと電氣的に接続された前記第2再配線層とは別の前記第2再配線層のいずれかを前記第2キャパシタ接続用パッドと電氣的に接続するように行うことを特徴とする半導体装置の製造方法。

【請求項15】 請求項13に記載の半導体装置の製造方法において、前記受動素子はインダクタであって、

前記受動素子の形成は、ひとつのインダクタ、及び該インダクタに電氣的に接続される2つの受動素子用パッドを形成するとともに、これら2つの受動素子用パッドを第1及び第2インダクタ接続用パッドとしておき、及び

前記(c)工程において、前記第2再配線層の形成を、いずれかの前記第2再配線層に、前記第1及び第2インダクタ接続用パッドをそれぞれ電氣的に接続するように行うことを特徴とする半導体装置の製造方法。

【請求項16】 請求項13～15のいずれか一項に記載の半導体装置の製造方法において、複数の前記受動素子をアレイ状に形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、WCSP(Wafer Level Chip Size Package)構造を有する半導体装置、及びその製造方法に関する。

【0002】

【従来の技術】

半導体ウェハから切り出された半導体チップと同等のサイズのパッケージは、一般に、CSP(Chip Size Package)と呼ばれている。また、半導体ウェハに形成されている半導体チップに対して、当該半導体チップと同等のサイズでパッケージングを行った後、得られるCSPはWCSPと呼ばれて

いる。

【0003】

下記に示す特許文献1には、WCSP構造を有する従来の半導体装置の構成が開示されている。この半導体装置を、プリント配線基板等の実装基板に実装する際、この実装基板と対向する当該半導体装置の主表面を実装面と称する。特許文献1に開示されている半導体装置の構成によれば、半田ボールが設けられている当該半導体装置の主表面が実装面となる。この実装面に形成されている半田ボールを、以下、外部端子と称する。

【0004】

【特許文献1】

特許第3313547号公報（第4－5頁、第6図及び第7図）

【0005】

【発明が解決しようとする課題】

半導体装置の実装面に設けられている外部端子の個数、すなわちピン数は、実装面サイズ及び外部端子のピッチ（隣接するふたつの端子間の距離）によって決定される。実装面サイズが増加するか、もしくは外部端子のピッチが小さくなるほど、実装面のピン数は多くなる。このように、実装面のピン数を多くすることを多ピン化と称する。

【0006】

一般に、外部端子のピッチは、半導体装置を使用するユーザ側で指定されるのが一般的である。従って、半導体装置において、実装面サイズをある一定のサイズとしたまま、外部端子のピッチを小さくして多ピン化させ、このように多ピン化された半導体装置をユーザへ提供しても、ユーザ側では提供された半導体装置を使用できないような事態が生じる恐れがある。また、実装面サイズをある一定のサイズとしたまま、外部端子のピッチを小さくしても、多ピン化の際に実現できるピン数は制限されてしまう。

【0007】

一方、外部端子のピッチをある一定値に固定したまま、多ピン化を実現するためには、実装面サイズを増加させることが考えられる。ここで、WCSP構造を

有する半導体装置では、半導体チップの表面のサイズと、実装面のサイズとは等しくなる。従って、WCSP構造を有する半導体装置において、実装面サイズを増加させる場合、半導体チップの表面サイズを増加させることとなる。

【0008】

半導体チップは、通常、回路素子を具えている。周知の通り、この回路素子は、設計に応じた任意好適な電氣的動作を行わせるために、例えば集積回路として設けられている。半導体チップの表面サイズを増加させるには、この半導体チップに形成されている回路素子の設計を変更することが考えられる。しかし、回路素子の設計を変更すると、半導体チップの製造コストは高くなってしまう。

【0009】

また、回路素子の設計を変更させずに、半導体チップの表面サイズを増加させる場合、この半導体チップは、目的とする実装面サイズを有するWCSP構造のパッケージングにのみ用いられることとなり、当該半導体チップに対して、前述したWCSP構造以外のパッケージング構造を適用することが出来なくなってしまう。また、この場合も、半導体チップの製造コストが高くなるという事態を回避することはできない。

【0010】

よって、外部端子のピッチをある一定値に固定したまま、実装面サイズを増加させて、多ピン化の実現を図るためには、WCSP以外のパッケージ構造を、半導体チップに対して適用することとなる。すなわち、WCSP構造を有する従来の半導体装置によれば、上述したような問題が生じる結果、多ピン化を実現するのが困難であった。

【0011】

この発明は、以上説明したような問題点に鑑み成されたものであり、従って、この発明の目的は、実装面サイズを増加させることによって多ピン化を容易に実現することのできる、WCSP構造を有する半導体装置、及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】

上述した目的を達成するため、この発明の半導体装置は、複数の回路素子接続用パッドが設けられている第1領域、及び該第1領域の周辺を取り囲む第2領域を有する半導体基板を具えている。また、この発明の半導体装置において、複数の第1外部端子が第1領域上に配置され、及び複数の第2外部端子が第2領域上に配置されている。そして、この発明の半導体装置は、第1領域上に形成され、複数の第1外部端子と複数の回路素子接続用パッドのうちの第1個数の回路素子接続用パッドとを電氣的に個別に接続する、複数の第1配線構造と、第1領域上から第2領域上に渡って形成され、複数の第2外部端子と複数の回路素子接続用パッドのうちの第2個数の回路素子接続用パッドとを電氣的に個別に接続する、複数の第2配線構造とを具えるとともに、第2領域上に配置され、複数の第2配線構造のいずれかと電氣的に接続されている受動素子とを具えている。

【0013】

この発明の半導体基板における第1領域は回路素子形成領域である。そして、この発明の半導体装置によれば、第1領域と同等のサイズの実装面に複数の第1外部端子が配置され、かつ第2領域と同等のサイズの実装面に複数の第2外部端子が配置されている。よって、第1領域及び第2領域のサイズ、すなわち半導体基板の表面サイズが、この発明の半導体装置の実装面サイズと等しくなる。

【0014】

ここで、既に説明した、WCSP構造を有する従来の半導体装置では、半導体装置の実装面は、半導体チップにおける回路素子形成領域と同等のサイズとなる。よって、この発明の第1領域の半導体基板の表面サイズは、従来の半導体装置の実装面サイズに該当するといえる。

【0015】

この発明の半導体装置において多ピン化を行うにあたり、第1領域と同等のサイズの実装面に第1外部端子を複数個配置するだけでは目的とするピン数を達成するのが困難である場合でも、第2領域に対して第2外部端子を複数個配置することができる。すなわち、この発明の半導体装置において、第2領域は、実装面サイズが目的とするピン数が達成できるようなサイズとなるように、第1領域に対して設けられている。

【 0 0 1 6 】

そして、第 1 領域上において、複数の第 1 外部端子は、第 1 個数の回路素子接続用パッドと、電氣的に個別に複数の第 1 配線構造によって接続され、かつ複数の第 2 外部端子は、第 2 個数の回路素子接続用パッドと、第 1 領域上から第 2 領域上に渡って形成される複数の第 2 配線構造によって、電氣的に個別に接続されている。この発明において、第 1 配線構造の配線方式をファンイン方式と称し、このファンイン方式に対して、第 2 配線構造の、第 1 領域から第 2 領域に渡る配線方式をファンアウト方式と称する。

【 0 0 1 7 】

従って、この発明の半導体装置によれば、回路素子そのものの設計を変えることなく、この回路素子形成領域である第 1 領域に対して第 2 領域を設けることによって、実装面サイズを所望のサイズとすることができる。そして、このようなサイズの実装面に対して、複数の第 1 及び第 2 外部端子を、上述したように設けることによって、目的とするピン数を実装面において達成することができ、その結果、多ピン化を実現することができる。

【 0 0 1 8 】

また、以上説明したような構成を有するこの発明の半導体装置によれば、実装面サイズを所望のサイズとすることができるため、第 1 及び第 2 外部端子、それぞれのピッチを、当該半導体装置を使用するユーザの要望にあわせたピッチとして、多ピン化を実現することもできる。

【 0 0 1 9 】

さらに、この発明における半導体基板の構成によれば、半導体ウェハに形成された状態であって、かつパッケージングを行う前の状態において、スクライブラインを、半導体基板の、第 1 領域の外周と第 2 領域の外周とに対してそれぞれ設けておけば、第 1 領域の外周に設けられたスクライブラインに沿ってダイシングを行い、第 1 領域のみ、すなわち回路素子形成領域のみを、半導体ウェハから切り出すこともできる。この場合、切り出された半導体基板の第 1 領域を含む半導体チップに対して、上述したような W C S P 構造のパッケージ以外のパッケージを行うことも可能となる。

【 0 0 2 0 】

さらに、この発明の半導体装置に対して、実装基板に実装される受動素子を、上述したように、当該半導体装置の第2領域上に設けることによって、実装基板に実装される搭載部品の数と低減することができる。また、上述したように、この発明の半導体装置の構成によれば、第2領域上に受動素子は形成されているため、第1領域の回路素子とこの受動素子との電磁干渉を防ぐことができる。

【 0 0 2 1 】

【発明の実施の形態】

以下、図を参照して、この出願に係わる発明による実施の形態について説明する。尚、以下の説明に用いる各図は、この発明を理解できる程度に概略的に示してあるに過ぎず、従って、この発明が図示例のみに限定されるものでないことは理解されたい。また、説明に用いる各図において、同様な構成成分については、同一の符号を付して示し、重複する説明を省略することもある。また、説明に用いる各図において、一部の構成要素について、断面を示すハッチングを省略することもある。

【 0 0 2 2 】

【第1の実施の形態】

この発明の半導体装置の第1の実施の形態について説明する。

【 0 0 2 3 】

1. この実施の形態の半導体装置の構成

この実施の形態の半導体装置は、半導体ウェハ上に形成された新チップ用構造体に対して、W C S P 構造のパッケージングが施される結果得られる。まず、図2 (A) 及び (B) について説明する。図2 (A) は、前述したようなパッケージングが行われていない状態における半導体ウェハ2の構成を上方から見た概略的な平面図であって、図2 (B) は、新チップとなるべき構造体が、半導体ウェハ2中に占める領域関係を説明するための概略図である。尚、以下の説明において、この構造体についても新チップと称しても誤解を生じないので、この構造体を新チップとも称する。

【 0 0 2 4 】

図 2 (A) に示すように、半導体ウェハ 2 上には、複数のスクライブラインが格子状に形成されている。これらスクライブラインによって区画される領域のそれぞれに、新チップ 1 1 6 が形成されている。

【0 0 2 5】

次に、この図 2 (A) において、符号を付与して示した新チップ 1 1 6 の周辺の拡大図を、図 2 (B) に示す。図 2 (B) において、複数のスクライブラインは、それぞれ符号 L 1 を付与して示してある。これらスクライブライン L 1 を第 1 スクライブラインとすると、上述したように、複数の第 1 スクライブライン L 1 によって区画される領域のそれぞれが、上述した新チップ 1 1 6 の領域となる。

【0 0 2 6】

また、この実施の形態によれば、図 2 (B) において符号 L 2 を付与した破線で示される第 2 スクライブラインが、第 1 スクライブラインのそれぞれに対して設けられている。図 2 (B) に示すように、1 本の第 1 スクライブライン L 1 に対し、2 本の第 2 スクライブライン L 2 が、当該第 1 スクライブライン L 1 の両側に所定の間隔を空けて、当該第 1 スクライブライン L 1 と平行に設けられている。この所定の間隔について詳細な説明は後述する。

【0 0 2 7】

ここで、図 2 (B) に、斜線を施して示す新チップ 1 1 6 に注目すれば、この新チップ 1 1 6 の領域は、4 本の第 2 スクライブライン L 2 によって、第 1 領域 1 0 2 と、この第 1 領域 1 0 2 以外の領域である第 2 領域 1 0 4 とに分けられる。図 2 (B) に示す構成例によれば、第 1 領域 1 0 2 は、新チップ 1 1 6 において、4 本の第 2 スクライブライン L 2 によって四角形状に区画された中央の領域であって、第 2 領域 1 0 4 は、第 2 スクライブライン L 2 と第 1 スクライブライン L 1 とで挟まれた領域であって、前述した第 1 領域 1 0 2 を中心にして、この領域をとりまく当該新チップ 1 1 6 の領域である。

【0 0 2 8】

次に、図 2 (A) 及び (B) を参照して説明した構成を有する新チップ 1 1 6 に対して、W C S P 構造のパッケージングを施した後、半導体ウェハ 2 から切り

出して得られる、この実施の形態の半導体装置 1 0 0 の構成について、図 1 を参照して説明する。図 1 には、半導体装置 1 0 0 の上方から見た、当該半導体装置 1 0 0 の各部構成要素の配置関係を示してある。

【 0 0 2 9 】

既に説明したように、半導体装置 1 0 0 は、上述したように予め第 1 領域 1 0 2 と、第 2 領域 1 0 4 とが、一体的に形成されている新チップ 1 1 6 を有している。この実施の形態によれば、第 1 領域 1 0 2 は回路素子が形成されている領域であり、この第 1 領域 1 0 2 上には複数の電極パッド（以下、回路素子接続用パッドとも称する）1 8 が設けられている。図 1 に示す構成によれば、複数の回路素子接続用パッド 1 8 は、各回路素子接続用パッド 1 8 のピッチ（すなわち配列間隔）が同一となるように、第 1 領域 1 0 2 の内周に沿って設けられている。

【 0 0 3 0 】

また、新チップ 1 1 6 の第 1 領域 1 0 2 上には複数の第 1 外部端子 1 3 2 a が配置され、新チップ 1 1 6 の第 2 領域 1 0 4 上には複数の第 2 外部端子 1 3 2 b が配置されている。複数の第 1 外部端子 1 3 2 a は、各第 1 外部端子 1 3 2 a のピッチが同一となるように、第 1 領域 1 0 2 上に設けられている。また、複数の第 2 外部端子 1 3 2 b は、各第 2 外部端子 1 3 2 b のピッチが同一となるように、第 2 領域 1 0 4 上に設けられている。

【 0 0 3 1 】

そして、複数の第 1 外部端子 1 3 2 a は、複数の回路素子接続用パッド 1 8 のうちの第 1 個数の回路素子接続用パッド 1 8 と、ファンイン方式の複数の第 1 配線構造 1 3 0 a によって、電氣的に個別に接続される。また、複数の第 2 外部端子 1 3 2 b は、複数の回路素子接続用パッド 1 8 のうちの第 2 個数の回路素子接続用パッド 1 8 と、ファンアウト方式の複数の第 2 配線構造 1 3 0 b によって、電氣的に個別に接続される。

【 0 0 3 2 】

尚、この実施の形態によれば、第 1 個数に第 2 個数を加えて得られる数は、第 1 領域 1 0 2 上に設けられた回路素子接続用パッド 1 8 の総数と同等か、それよりも少なくなるのが好ましい。また、前述した第 1 個数及び第 2 個数のそれぞれ

の数は、設計に応じて当業者が決め得る設計事項である。

【 0 0 3 3 】

さらに、この実施の形態によれば、新チップ 1 1 6 の第 2 領域 1 0 4 上に受動素子が配置されている。図 1 には、受動素子として、インダクタ 1 0 6 及びキャパシタ 1 0 8 を用い、これらインダクタ 1 0 6 及びキャパシタ 1 0 8 のそれぞれを第 2 領域 1 0 4 上に配置した構成を示してある。そして、インダクタ 1 0 6 及びキャパシタ 1 0 8 はそれぞれ、複数の第 2 配線構造 1 3 0 b のいずれかに電氣的に接続される。

【 0 0 3 4 】

この実施の形態におけるキャパシタ 1 0 8 は、好ましくは、上部電極と、下部電極と、これら上部電極と下部電極との間に設けられた誘電体膜とによって構成されている。このような構成を有するキャパシタ 1 0 8 と第 2 配線構造 1 3 0 b との電氣的な接続は、このキャパシタ 1 0 8 の下部電極及び上部電極を、それぞれ第 2 配線構造 1 3 0 b へ電氣的に接続することによって行われるのが好ましい。

【 0 0 3 5 】

この第 2 配線構造 1 3 0 b への電氣的な接続は、好ましくは、以下のような手順によって行われる。すなわち、図 1 に示すように、キャパシタ 1 0 8 の下部電極は第 2 外部端子 1 3 2 b に電氣的に接続されるとともに、下部電極が電氣的に接続される第 2 外部端子 1 3 2 b とは別の第 2 外部端子 1 3 2 b に、上部電極は電氣的に接続される。そして、下部電極が前述したように接続された第 2 外部端子 1 3 2 b、及び上部電極が前述したように接続された第 2 外部端子 1 3 2 b は、第 2 配線構造 1 3 0 b によって、それぞれ、回路素子接続用パッド 1 8 に接続されている。

【 0 0 3 6 】

図 1 において、下部電極に接続された第 2 外部端子 1 3 2 b に対して接続される第 2 配線構造 1 3 0 b を、下部電極用第 2 配線構造 1 3 0 b a とし、上部電極と接続された第 2 外部端子 1 3 2 b に対して接続される第 2 配線構造 1 3 0 b を、上部電極用第 2 配線構造 1 3 0 b b として示してある。

【 0 0 3 7 】

尚、キャパシタ 1 0 8 において、誘電体膜は、高誘電体、低誘電体、及び強誘電体等の誘電体材料より選択される一種の材料によって構成されるのが好ましい。この実施の形態では、誘電体膜として、高誘電体膜を用いた構成について以下に説明する。

【 0 0 3 8 】

一方、図 1 に示すように、この実施の形態におけるインダクタ 1 0 6 は、好ましくは、第 2 配線構造 1 3 0 b の、回路素子接続用パッド 1 8 から第 2 外部端子 1 3 2 b への配線経路の途中に設けられている。図 1 において、インダクタ 1 0 6 が設けられた第 2 配線構造 1 3 0 b を、インダクタ用第 2 配線構造 1 3 0 b c として示してある。

【 0 0 3 9 】

次に、図 1 を参照して説明した半導体装置 1 0 0 における、第 1 配線構造 1 3 0 a 及び第 2 配線構造 1 3 0 b の構成に注目し、図 3 及び図 4 を参照して、さらに詳細に説明する。

【 0 0 4 0 】

図 3 には、第 1 配線構造 1 3 0 a 及び第 2 配線構造 1 3 0 b の構成に注目し、半導体装置 1 0 0 を上方からみた図を簡略化して示してある。また、図 4 には、図 3 に示す半導体装置 1 0 0 について、B - B' 線に沿って切断された部分の構成を示してある。尚、図 3 及び図 4 に示す第 1 及び第 2 配線構造 1 3 0 a 及び 1 3 0 b 等の構成は単なる一例であって、これらの構成は同図中に示す構成に限定されない。

【 0 0 4 1 】

図 3 は、既に説明した図 1 と同様、半導体装置 1 0 0 の上方からみた、当該半導体装置 1 0 0 の各構成要素の配置関係を示す図である。図 3 において、第 1 領域 1 0 2 には、この第 1 領域 1 0 2 上に配置されている 2 個の第 1 外部端子 1 3 2 a と、2 個の回路素子接続用パッド 1 8 a 及び 1 8 b とを示してあり、第 2 領域 1 0 4 には 4 個の第 2 外部端子 1 3 2 b が示してある。また、図 3 において、前述した、2 個の第 1 外部端子 1 3 2 a、2 個の回路素子接続用パッド 1 8 a 及

び 1 8 b、及び 4 個の第 2 外部端子 1 3 2 b は、B - B' 線に沿って配置されている。具体的には、図 3 において、B - B' 線を図中の B から B' に向かう方向に沿ってたどったとき、2 個の第 2 外部端子 1 3 2 b と、これら第 2 外部端子 1 3 2 b の一方と第 2 配線構造 1 3 0 b によって接続されている回路素子接続用パッド 1 8 a と、2 個の第 1 外部端子 1 3 2 a と、これら 2 個の第 1 外部端子 1 3 2 a の一方と第 1 配線構造 1 3 0 a によって接続されている回路素子接続用パッド 1 8 b と、2 個の第 2 外部端子 1 3 2 b とが順に配置されている。さらに、図 3 において、前述した第 2 配線構造 1 3 0 b は、B - B' 線を図中の B から B' に向かう方向の、2 個目に配置されている第 2 外部端子 1 3 2 b に接続されており、第 1 配線構造 1 3 0 a は、前述した B から B' に向かう方向の、2 個目に配置されている第 1 外部端子 1 3 2 a に接続されている。

【 0 0 4 2 】

尚、図 3 に示す外部端子のうち、第 1 及び第 2 配線構造 1 3 0 a 及び 1 3 0 b の接続が示されていない、1 つの第 1 外部端子 1 3 2 a 及び 3 つの第 2 外部端子 1 3 2 b は、実際には、図 3 に図示されていない任意の回路素子接続用パッド 1 8 と、第 1 及び第 2 配線構造 1 3 0 a 及び 1 3 0 b によって、それぞれ接続されているとする。

【 0 0 4 3 】

次に、図 3 に示す半導体装置 1 0 0 について、図 4 を参照して説明する。図 4 に示す構成によれば、新チップ 1 1 6 は、半導体基板 1 1 2 を有している。この半導体基板 1 1 2 には回路素子 1 4 が形成されている。そして、新チップ 1 1 6 において、第 1 領域 1 0 2 は、半導体基板 1 1 2 の回路素子 1 4 が形成されている領域であり、この半導体基板 1 1 2 の第 1 領域 1 0 2 以外の領域が第 2 領域 1 0 4 となる。

【 0 0 4 4 】

尚、既に説明したように、回路素子 1 4 は、L S I などの集積回路を有する能動素子によって構成されるのが好ましい。また、図 4 に示す半導体チップ 1 1 6 の構成によれば、半導体基板 1 1 2 において、第 1 領域 1 0 2 に形成された回路素子 1 4 の表面 1 4 a が、第 1 領域 1 0 2 における半導体基板 1 1 2 の表面とな

っている。

【 0 0 4 5 】

新チップ 1 1 6 は、図 1 を参照して説明したように、第 1 領域 1 0 2 上に複数の回路素子接続用パッド 1 8 を有するとともに、半導体基板 1 1 2 上にパッシベーション膜 1 2 0 を有している。図 4 において、パッシベーション膜 1 2 0 は、2 つの回路素子接続用パッド 1 8 a 及び 1 8 b のそれぞれの頂面を除いて、これら回路素子接続用パッド 1 8 a 及び 1 8 b を埋め込むようにして、半導体基板 1 1 2 上に設けられている。

【 0 0 4 6 】

既に図 2 (B) を参照して説明したように、新チップ 1 1 6 には第 1 領域 1 0 2 の外周に沿って、第 2 スクライブライン L 2 が設けられている。従って、図 4 に示す構成例において、第 1 領域 1 0 2 の外周上に位置するパッシベーション膜 1 2 0 には、第 2 スクライブライン L 2 に沿った溝 1 4 0 が設けられている。

【 0 0 4 7 】

ここで、第 1 配線構造 1 3 0 a 、及び第 2 配線構造 1 3 0 b のそれぞれについて説明する。この実施の形態によれば、第 1 配線構造 1 3 0 a は、第 1 外部端子 1 3 2 a と電氣的に接続される電極ポストとして第 1 ポスト部 1 2 8 a と、この第 1 ポスト部 1 2 8 a と回路素子接続用パッド 1 8 b とを電氣的に接続する第 1 再配線層 1 2 4 a とから構成されている。尚、この第 1 再配線層 1 2 4 a の一部を第 1 ポスト用パッド 1 2 6 a としてあり、第 1 ポスト部 1 2 8 a をこの第 1 ポスト用パッド 1 2 6 a と電氣的に接続してあるのが好ましい。

【 0 0 4 8 】

また、第 2 配線構造 1 3 0 b は、第 2 外部端子 1 3 2 b と電氣的に接続される電極ポストとして第 2 ポスト部 1 2 8 b と、この第 2 ポスト部 1 2 8 b と回路素子接続用パッド 1 8 a とを電氣的に接続する第 2 再配線層 1 2 4 b とから構成されている。尚、この第 2 再配線層 1 2 4 b の一部を第 2 ポスト用パッド 1 2 6 b としてあり、第 2 ポスト部 1 2 8 b をこの第 2 ポスト用パッド 1 2 6 b と電氣的に接続してあるのが好ましい。

【 0 0 4 9 】

図4に示す構成によれば、第1再配線層124aは、新チップ116上に設けられていて、特に、第1領域102内において、回路素子接続用パッド18bと第1ポスト部128aとの間を接続する、ファンイン方式の配線として形成されている。また、図4において、第2再配線層124bは、新チップ116上に設けられていて、特に、第1領域102から第2領域104に渡って、回路素子接続用パッド18aと第2ポスト部128bとの間を接続する、ファンアウト方式の配線として形成されている。

【0050】

そして、パッシベーション膜120上には、半導体装置100を動作させる際、第1再配線層124a及び第2再配線層124b同士がショートするのを防ぐための絶縁膜122が形成されている。

【0051】

また、図4に示す絶縁膜122は、第1絶縁膜122aと、この第1絶縁膜122a上に積層される第2絶縁膜122bとから構成される。このように、絶縁膜122を2層構造とするのは、図1を参照して説明したように、第2領域104上に受動素子が設けられるためである。この受動素子の構成について、更なる詳細は後述する。

【0052】

そして、第1ポスト用パッド126aと第2ポスト用パッド126bは、絶縁膜122上に設けられている。図4に示すように、第1再配線層124aの一端側を、絶縁膜122を貫いて、回路素子接続用パッド18bの頂面と電氣的に接続させてあり、一方、この一端側から当該第1再配線層124aを絶縁膜122上に延在させて形成し、かつ当該第1再配線層124aの他端側を第1ポスト用パッド126aとしてある。また、第2再配線層124bは、第1再配線層124aと同様に、その一端側を他の回路素子接続用パッド18aと電氣的に接続させるとともに、その他端側を第2ポスト用パッド126bとしてある。

【0053】

ここで、第1ポスト用パッド126aは、好ましくは、この第1ポスト用パッド126aと、第1ポスト部128aを介して電氣的に接続される第1外部端子

1 3 2 a の配置位置に対応して絶縁膜 1 2 2 上に配置されている。また、第 2 ポスト用パッド 1 2 6 b も、第 1 ポスト用パッド 1 2 6 a と同様に、第 2 外部端子 1 3 2 b の配置位置に対応して絶縁膜 1 2 2 上に配置されているのが好ましい。

【 0 0 5 4 】

図 4 に示す構成例では、各パッドと外部端子との接続は次のようにして行われている。図 4 に示す 2 つの第 1 ポスト用パッド 1 2 6 a 上のそれぞれには、これらパッド 1 2 6 a と電氣的に接続されて第 1 ポスト部 1 2 8 a がそれぞれ形成されている。また、図 4 に示す 4 つの第 2 ポスト用パッド 1 2 6 b 上のそれぞれには、同様に、第 2 ポスト部 1 2 8 b が設けられている。

【 0 0 5 5 】

また、絶縁膜 1 2 2 上には、封止部 1 3 4 が、第 1 領域 1 0 2 上に形成された 2 つの第 1 ポスト部 1 2 8 a、及び第 2 領域 1 0 4 上に形成された 4 つの第 2 ポスト部 1 2 8 b を埋め込むように設けられている。また、封止部 1 3 4 は、2 つの第 1 ポスト部 1 2 8 a 及び 4 つの第 2 ポスト部 1 2 8 b の、それぞれの頂面が、この封止部 1 3 4 から露出するように形成されている。

【 0 0 5 6 】

そして、2 つの第 1 ポスト部 1 2 8 a のそれぞれの、封止部 1 3 4 から露出した頂面に第 1 外部端子 1 3 2 a が設けられ、4 つの第 2 ポスト部 1 2 8 b のそれぞれの、封止部 1 3 4 から露出した上部に第 2 外部端子 1 3 2 b が設けられている。

【 0 0 5 7 】

従って、図 4 に示す構成例では、第 1 領域 1 0 2 上の絶縁膜 1 2 2 上には、図 3 に示す 2 個の第 1 外部端子 1 3 2 a のそれぞれの直下の位置に、第 1 ポスト用パッド 1 2 6 a が設けられており、また、第 2 領域 1 0 4 上の絶縁膜 1 2 2 上には、図 3 に示す 4 個の第 2 外部端子 1 3 2 b のそれぞれの直下の位置に、第 2 ポスト用パッド 1 2 6 b が設けられている。

【 0 0 5 8 】

次に、この発明の半導体装置 1 0 0 における、インダクタ 1 0 6 及びキャパシタ 1 0 8 の構成に注目し、図 5 及び図 6 を参照して、さらに詳細に説明する。

【0059】

図5 (A) には、半導体装置100を上方からみた図を、インダクタ106及びキャパシタ108の配置のようすが分かる程度に簡略化して示してあり、図5 (B) には、キャパシタ108と第2配線構造130bとの接続の一例を示してある。また、図6には、図5 (A) に示す半導体装置100について、C-C' 線に沿って切断された部分の構成を示してある。尚、図5 (A) 及び (B) と図6に示すキャパシタ108等の各構成要素の構成は単なる一例であって、これらの構成はこれらの図中に示す構成に限定されない。

【0060】

まず、図5 (A) について説明する。図5 (A) は、既に説明した図1と同様、半導体装置100の上方からみた、各構成要素の配置関係を示す図であって、図5 (A) には、第1領域102上に配置された2個の第1外部端子132aと、第2領域104上に配置された1つのキャパシタ108及び1つのインダクタ106とを示してある。

【0061】

ここで、図1を参照して既に説明したように、キャパシタ108が2個の第2外部端子132bと電氣的に接続されているとともに、これら2個の第2外部端子132bが、下部電極用第2配線構造130ba及び上部電極用第2配線構造130bbによって、それぞれ個別に、かつ2個の回路素子接続用パッド18に電氣的に接続されている。また、インダクタ106は、図1を参照して既に説明したように、インダクタ用第2配線構造130bcによって、別の回路素子接続用パッド18及び第2外部端子132bのそれぞれに電氣的に接続されている。

【0062】

図5 (A) において、C-C' 線の図中のCからC' に向かう方向に沿って、キャパシタ108の下部電極と電氣的に接続された第2外部端子132bと、キャパシタ108と、下部電極用第2配線構造130baと接続された回路素子接続用パッド18cと、2個の第1外部端子132aと、インダクタ106と上述したように接続された回路素子接続用パッド18dと、インダクタ106と、このインダクタ106と上述したように接続された第2外部端子132bとが順に

配置されている。

【0063】

尚、図5（A）に示す2つの第1外部端子132aのそれぞれは、実際には、同図中に図示されていない第1配線構造130aによって、図3及び図4を参照して説明したように、同図中に図示されていない任意の回路素子接続用パッド18に接続されているとする。

【0064】

次に、半導体装置100の構成について、図5（B）及び図6を参照して説明する。尚、新チップ116の構成については、既に、図4を参照して説明した。従って、新チップ116の構成に関して、既に行った説明と重複する説明は省略する。また、図6において、図4を参照して既に説明した構成と同様な構成については、その重複する説明は省略する。

【0065】

ここで、この実施の形態では、図1を参照して既に説明したように、下部電極用第2配線構造130ba及び上部電極用第2配線構造130bbと、インダクタ用第2配線構造130bcは、それぞれ、第2配線構造130bの一種であるので、それぞれ、図4を参照して説明した第2配線構造130bと同様の構成を有する。

【0066】

下部電極用第2配線構造130baが有する、第2再配線層124bと、該第2再配線層124bの一部である第2ポスト用パッド126bと、第2ポスト部128bとを、それぞれ、下部電極用再配線層124ba、下部電極用パッド126ba、及び下部電極用ポスト部128baとして示してある。また、上部電極用第2配線構造130bbが有する、第2再配線層124bと、該第2再配線層124bの一部である第2ポスト用パッド126bと、第2ポスト部128bとを、それぞれ、上部電極用再配線層124bb、上部電極用パッド126bb、及び上部電極用ポスト部128bbとして示してある。さらに、インダクタ用第2配線構造130bcが有する、第2再配線層124bと、該第2再配線層124bの一部である第2ポスト用パッド126bと、第2ポスト部128bとを

、それぞれ、インダクタ用再配線層 1 2 4 b c、インダクタ用パッド 1 2 6 b c、及びインダクタ用ポスト部 1 2 8 b c として示してある。

【 0 0 6 7 】

図 6 において、下部電極用再配線層 1 2 4 b a は、新チップ 1 1 6 上に、第 1 領域 1 0 2 から第 2 領域 1 0 4 に渡って、回路素子接続用パッド 1 8 c と下部電極用ポスト部 1 2 8 b a との間を接続する、ファンアウト方式の配線として形成されている。また、インダクタ用再配線層 1 2 4 b c も、下部電極用再配線層 1 2 4 b a と同様、回路素子接続用パッド 1 8 d とインダクタ用ポスト部 1 2 8 b c との間を接続する、ファンアウト方式の配線として形成されている。

【 0 0 6 8 】

ここで、既に図 4 を参照して説明したように、パッシベーション膜 1 2 0 上には、第 1 絶縁膜 1 2 2 a 及び第 2 絶縁膜 1 2 2 b から構成される絶縁膜 1 2 2 が形成されている。図 6 に示す構成によれば、第 1 絶縁膜 1 2 2 a はパッシベーション膜 1 2 0 上に形成されており、この第 1 絶縁膜 1 2 2 a 上に第 2 絶縁膜 1 2 2 b が形成されている。

【 0 0 6 9 】

図 6 において、下部電極用再配線層 1 2 4 b a に着目する。この下部電極用再配線層 1 2 4 b a の一端側は、第 1 絶縁膜 1 2 2 a を貫いて、回路素子接続用パッド 1 8 c の頂面と電氣的に接続されている。そして、下部電極用再配線層 1 2 4 b a は、この回路素子接続用パッド 1 8 c 側から、第 1 絶縁膜 1 2 2 a 上に沿って、キャパシタ 1 0 8 の下部電極 1 0 8 a と電氣的に接続されている。この下部電極 1 0 8 a は、第 1 絶縁膜 1 2 2 a 上に設けられている。

【 0 0 7 0 】

キャパシタ 1 0 8 は、下部電極 1 0 8 a の上側に順次に高誘電体膜 1 0 8 b と上部電極 1 0 8 c とを具えている。すなわち、キャパシタ 1 0 8 の上部電極 1 0 8 c と高誘電体膜 1 0 8 b と下部電極 1 0 8 a は縦型の積層構造となっているので、キャパシタ 1 0 8 の上部電極 1 0 8 c の真下に、キャパシタ 1 0 8 の下部電極 1 0 8 a が配置されている。また、図 6 に示す構成例によれば、高誘電体膜 1 0 8 b は、キャパシタ 1 0 8 の下部電極 1 0 8 a とともに第 2 絶縁膜 1 2 2 b 中

に埋め込まれており、高誘電体膜 1 0 8 b の上面と第 2 絶縁膜 1 2 2 b の上面とは実質的に同じ高さレベルになっている。さらに、キャパシタ 1 0 8 の上部電極 1 0 8 c は、適当な配線パターン 1 2 5 (図 5 参照) と上部電極用ポスト部 1 2 8 b b とを経て、別の第 2 外部端子 1 3 2 b へと接続されている。

【 0 0 7 1 】

一方、図 6 において、インダクタ用再配線層 1 2 4 b c に着目する。インダクタ用再配線層 1 2 4 b c は、その中間に電氣的に直列的に接続されたインダクタ 1 0 6 を具えている。このインダクタ 1 0 6 は、第 1 絶縁膜 1 2 2 a 上に設けられている。インダクタ用再配線層 1 2 4 b c の一端側は、第 1 絶縁膜 1 2 2 a を貫いて回路素子接続用パッド 1 8 d の頂面と電氣的に接続されている。このインダクタ用再配線層 1 2 4 b c は、回路素子接続用パッド 1 8 d 側から第 1 絶縁膜 1 2 2 a 上に延在させて形成されており、かつこの第 1 絶縁膜 1 2 2 a から第 2 絶縁膜 1 2 2 b を貫いて第 2 絶縁膜 1 2 2 b 上に延在させて形成された他端側をインダクタ用パッド 1 2 6 b c としてある。

【 0 0 7 2 】

尚、図 1 と、図 5 (A) 及び図 6 に示すインダクタ 1 0 6 を、コイルを用いて形成した構成として示してある。図 6 に示すように、インダクタ 1 0 6 は、第 1 絶縁膜 1 2 2 a 上に形成されたインダクタ用再配線層 1 2 4 b c の一部をスパイラル形状とすることによって、形成できる。ここで、前述したインダクタ 1 0 6 の構成は、単なる一例であって、この実施の形態によれば、インダクタンスを有する所望の回路素子を用いて、インダクタ 1 0 6 を、インダクタ用再配線層 1 2 4 b c に対し、電氣的に直列または並列に構成することが出来る。

【 0 0 7 3 】

また、図 6 において、インダクタ用パッド 1 2 6 b c は、その直上に、これと電氣的に接続されたインダクタ用ポスト部 1 2 8 b c を具えている。このポスト部 1 2 8 b c の頂面は封止部 1 3 4 の上面で露出されていて、この頂面に第 2 外部端子 1 3 2 b が、インダクタ用ポスト部 1 2 8 b c と電氣的に接続されるようにして、設けられている。

【 0 0 7 4 】

ところで、図 6 において、第 2 絶縁膜 1 2 2 b 上には、上述したインダクタ用パッド 1 2 6 b c のほか、下部電極用パッド 1 2 6 b a 及び第 1 ポスト用パッド 1 2 6 a が設けられている。図 6 において、図 5 (A) に示す 2 個の第 1 外部端子 1 3 2 a のそれぞれの配置位置に対応して、第 1 ポスト用パッド 1 2 6 a がそれぞれ設けられている。

【0075】

また、図 6 に示すように、下部電極用再配線層 1 2 4 b a は、第 1 絶縁膜 1 2 2 a 上から第 2 絶縁膜 1 2 2 b を貫いて、第 2 絶縁膜 1 2 2 b 上に延在させて形成されている。この第 2 絶縁膜 1 2 2 b 上に形成された下部電極用再配線層 1 2 4 b a の一部を、下部電極用パッド 1 2 6 b a としてある。

【0076】

ここで、図 5 (A) 及び図 6 に示す構成の半導体装置 1 0 0 において、キャパシタ 1 0 8 と、2 つの第 2 外部端子 1 3 2 b、及び図 6 に示す回路素子接続用パッド 1 8 c を含む 2 つの回路素子接続用パッド 1 8 の、それぞれとの接続の一例について、図 5 (B) を参照して説明する。図 5 (B) には、2 つの第 2 外部端子 1 3 2 b のそれぞれに対応して設けられている、下部電極用パッド 1 2 6 b a 及び上部電極用パッド 1 2 6 b b を、2 つの第 2 外部端子 1 3 2 b のかわりに示してある。

【0077】

図 5 (B) には、回路素子接続用パッド 1 8 c を含む 2 つの回路素子接続用パッド 1 8 と、下部電極用パッド 1 2 6 b a 及び上部電極用パッド 1 2 6 b b と、キャパシタの上部電極 1 0 8 c と、下部電極用再配線層 1 2 4 b a 及び上部電極用再配線層 1 2 4 b b の、新チップ 1 1 6 の上面から見た配置関係を、一例として示してある。

【0078】

図 6 に示す構成によれば、下部電極用再配線層 1 2 4 b a は、回路素子接続用パッド 1 8 c の上部から第 1 絶縁膜 1 2 2 a の上面に沿い、第 2 絶縁膜 1 2 2 b を貫通し、該第 2 絶縁膜 1 2 2 b 上に延在させて形成されている。そして、第 1 絶縁膜 1 2 2 a 上の下部電極用再配線層 1 2 4 b a に、キャパシタの下部電極 1

0 8 a が形成されている。

【0 0 7 9】

図 5 (B) において、下部電極用再配線層 1 2 4 b a は、回路接続用パッド 1 8 c から下部電極用パッド 1 2 6 b a に向けて直線状に形成されている構成となる。また、同図中、この下部電極用再配線層 1 2 4 b a におけるキャパシタの下部電極 1 0 8 a の形成位置は、キャパシタの上部電極 1 0 8 c の形成位置と同じ位置となる。

【0 0 8 0】

一方、図 5 (A) に示す、キャパシタの上部電極 1 0 8 c が電氣的に接続された第 2 外部端子 1 3 2 b が配置されている位置は、C - C' 線上の位置からずれている。図 5 (B) に示すように、キャパシタの上部電極 1 0 8 c は、配線パターン 1 2 5 により上部電極用パッド 1 2 6 b b に電氣的に接続されている。そして、上部電極用再配線層 1 2 4 b b は、上部電極用パッド 1 2 6 b b から回路素子接続用パッド 1 8 まで、上述した下部電極用再配線層 1 2 4 b a と同様にして形成されている。

【0 0 8 1】

以上説明した、この実施の形態の半導体装置 1 0 0 の構成によれば、この半導体装置 1 0 0 を実装基板に実装する際、この実装基板に対して、複数の第 1 及び第 2 外部端子 1 3 2 a 及び 1 3 2 b が設けられている封止部 1 3 4 の表面が、実装面となる。この実施の形態によれば、この実装面のサイズは、新チップ 1 1 6 の表面サイズと同等のサイズであり、かつ新チップ 1 1 6 の表面サイズは半導体基板 1 1 2 の表面サイズと同等のサイズとなる。また、第 1 外部端子 1 3 2 a の数に、第 2 外部端子 1 3 2 b の数を足した数が、この実施の形態の半導体装置 1 0 0 の実装面におけるピン数となる。

【0 0 8 2】

半導体基板 1 1 2 には、第 1 領域 1 0 2 と、第 2 領域 1 0 4 とが設けられている。そして、この実施の形態の半導体装置 1 0 0 では、実装面における多ピン化を行うにあたり、第 1 領域 1 0 2 の表面サイズと同等のサイズの実装面に第 1 外部端子 1 3 2 a を複数個配置するだけでは、目的とするピン数を達成するのが困

難である場合でも、第 2 領域 1 0 4 の表面サイズと同等のサイズの実装面に対して第 2 外部端子 1 3 2 b を複数個配置することができる。

【 0 0 8 3 】

ここで、図 2 (B) を参照して説明したように、第 2 領域 1 0 4 の表面サイズは、第 1 スクライブライン L 1 と、第 2 スクライブライン L 2 との間の所定の間隔で決定される。この所定の間隔は、実装面サイズが目的とするピン数を配置できるようなサイズとなるように、設定されるのが好ましい。

【 0 0 8 4 】

この実施の形態によれば、上述したように、回路素子形成領域である第 1 領域 1 0 2 に対して設けられる第 2 領域 1 0 4 の表面サイズを所望のサイズとすることにより、実装面サイズを、回路素子 1 4 そのものの設計を変えることなく、変更させることができる。そして、第 1 領域 1 0 2 及び第 2 領域 1 0 4 上の実装面に、複数の第 1 及び第 2 外部端子 1 3 2 a 及び 1 3 2 b を配置することによって、目的とするピン数を達成することができ、その結果、多ピン化を実現することができる。

【 0 0 8 5 】

また、この実施の形態の半導体装置 1 0 0 によれば、実装面サイズを所望のサイズとすることができるため、第 1 及び第 2 外部端子 1 3 2 a 及び 1 3 2 b の、それぞれのピッチを、当該半導体装置 1 0 0 を使用するユーザの要望にあわせたピッチとして、多ピン化を実現することもできる。

【 0 0 8 6 】

ここで、複数の外部端子を、矩形の半導体装置 1 0 0 の実装面に周辺 5 配列で設ける場合について、ピン数、実装面のサイズ、及び外部端子のピッチのそれぞれの関係について、図 2 3 (A) 及び (B) を参照して説明する。

【 0 0 8 7 】

図 2 3 (A) は、複数の外部端子 1 3 2 を周辺 5 配列で設ける場合の、これら複数の外部端子 1 3 2 と半導体装置 1 0 0 の実装面 6 0 との配置関係を示す図である。また、図 2 3 (B) は、横軸に実装面サイズをミリメートル (mm) 単位でとり、縦軸にピン数をとったグラフを示す図であって、上述したような半導体

装置 1 0 0 の実装面 6 0 における、ピン数、実装面サイズ、及び外部端子 1 3 2 のピッチのそれぞれの関係を説明する図である。

【 0 0 8 8 】

矩形の実装面 6 0 における実装面サイズとは、この実装面 6 0 の縦の長さ及び横の長さのことをいう。図 2 3 (A) には、実装面サイズである、実装面 6 0 の縦の長さ及び横の長さを S_0 として示してある。すなわち、図 2 3 (A) に示す実装面 6 0 の形状は正方形である。そして、それぞれのピッチが同一となるように並べられた 5 個の外部端子 1 3 2 を 1 単位とすると、図 2 3 (A) に示すように、複数の単位の外部端子 1 3 2 を実装面 6 0 の内周に沿って配置させた構成が、複数の外部端子 1 3 2 を周辺 5 配列で設ける構成となる。

【 0 0 8 9 】

図 2 3 (B) には、ピン数、実装面サイズ、及び外部端子 1 3 2 のピッチのそれぞれの関係を表す、第 1 特性 6 2、第 2 特性 6 4、第 3 特性 6 8、及び第 4 特性 7 0 を示してある。図 2 3 (B) に示す第 1 ~ 第 4 特性 6 2、6 4、6 8、及び 7 0 によれば、実装面サイズに対してピン数は線形的に増加することが分かる。これら第 1 ~ 第 4 特性 6 2、6 4、6 8、及び 7 0 におけるそれぞれの傾きは、外部端子 1 3 2 のピッチに等しくなる。具体的に、第 1 特性 6 2 における傾きは、0.30 mm の外部端子 1 3 2 のピッチと等しく、第 2 特性 6 4 における傾きは、0.40 mm の外部端子 1 3 2 のピッチと等しく、第 3 特性 6 8 における傾きは、0.50 mm の外部端子 1 3 2 のピッチと等しく、及び第 4 特性 7 0 における傾きは、0.65 mm の外部端子 1 3 2 のピッチと等しい。すなわち、図 2 3 (B) に示すグラフによれば、実装面サイズが増加するか、もしくは外部端子 1 3 2 のピッチが小さくなるほど、実装面のピン数は多くなる。

【 0 0 9 0 】

実装面の構成が、図 2 3 (A) に示すような構成と同様の構成である場合について、従来の半導体装置と、この実施の形態の半導体装置 1 0 0 とを比較して、具体的に説明する。

【 0 0 9 1 】

従来の半導体装置において、実装面サイズ S_0 、すなわち半導体チップの表面

サイズを7mmとし、かつ外部端子のピッチを0.5mmとする場合、ピン数は160個である。図23(B)に示す第1～第4特性62、64、68、及び70を参照すれば、実装面におけるピン数を300ピン程度とするためには、実装面サイズS0が7mmの従来の半導体装置では、ピッチ数を小さくしても300ピン程度のピン数を達成することは困難であり、かつ既に説明したように、実装面サイズを変更させるのも容易ではない。

【0092】

よって、実装面サイズを変更させて300ピン程度のピン数を達成する場合、既に説明したように、従来の半導体装置が有する半導体チップに対して、WCSP構造以外の、従来公知のパッケージ構造を適用することが考えられる。例えば、従来公知の、ワイヤボンディング(WB)方式及びフリップチップボンディング(FCB)方式のいずれかの方式のボールグリッドアレイ構造を半導体チップに対して適用する場合、インターポーザ基板を用いて、この基板上に半導体チップを実装することによって、パッケージングを行う。このようなパッケージ構造を採用した半導体装置では、実装基板に実装する場合、前述したインターポーザ基板の、外部端子が配置されている面が実装面となる。よって、この場合、インターポーザ基板のサイズを所望のサイズとすることにより、実装面サイズを変更させることが出来る。

【0093】

しかし、従来公知のWB方式のボールグリッドアレイ構造では、半導体チップの回路素子上に設けられた回路素子接続用パッドと、インターポーザ基板の外部端子との電気的な接続における、インダクタンスが高くなるなどの問題が生じる。また、FCB方式のボールグリッドアレイ構造では、インターポーザ基板として、高価なビルドアップ基板が必要となるほか、フリップチップボンディングの加工時間が長くなり、その結果、当該パッケージング構造を有する半導体装置は、WCSP構造を有する半導体装置と比較すると量産性に劣る。

【0094】

また、インターポーザ基板を用いる、WB方式及びFCB方式のいずれかの方式のボールグリッドアレイ構造を有する半導体装置は、WCSP構造を有する半導

体装置と比較して、半導体装置の、半導体チップから実装面へ向かう方向の厚さが厚くなり、かつ製造コストが高くなるという問題点を有する。ここで、上述したような、WB方式のボールグリッドアレイ構造を有する半導体装置の、半導体チップから実装面へ向かう方向の厚さは、一般的に、1.05～1.4mm程度であり、また、FCB方式のボールグリッドアレイ構造を有する半導体装置の、半導体チップから実装面へ向かう方向の厚さは、一般的に、0.8～1.00mm程度である。また、WCSP構造を有する半導体装置の、半導体チップから実装面へ向かう方向の厚さは、一般的に、0.45～0.7mm程度である。

【0095】

一方、この実施の形態の半導体装置100では、回路素子形成領域である第1領域102のサイズを7mmとし、かつ第1外部端子132a及び第2外部端子132bのそれぞれのピッチを、上述した外部端子のピッチと同一の0.5mmとしたまま、第1領域102に対して設けられた第2領域104の表面サイズを変更させて、実装面サイズS0を10.5mm程度とすることができる。その結果、図23(B)に示す第3特性68を参照すれば、この実施の形態の半導体装置100では、他のパッケージング構造と比較した場合のWCSP構造の優位点を保持したまま、実装面において300ピン程度のピン数を達成することができる。

【0096】

尚、この実施の形態によれば、第1及び第2外部端子132a及び132bの各ピッチは必ずしも同一とする場合に限られず、また、これら第1及び第2外部端子132a及び132bは、図23を参照して説明したように配列する場合に限られない。第1及び第2外部端子132a及び132bの各ピッチ、及びこれら第1及び第2外部端子132a及び132bをどのように配列させるかは、当業者が決めうる設計事項である。

【0097】

さらに、半導体装置100の新チップ116には、図2を参照して説明したように、第1領域102の外周には予め第2スクライブラインL2が設けられている。また、半導体装置100の第1領域102における新チップ116の構成は

、好ましくは、既に説明した従来の半導体装置の半導体チップの構成と同様の構成である。

【0098】

よって、半導体ウェハ2に新チップ116が形成された状態であって、かつパッケージングを行う前の状態で、第1領域102の外周の第2スクライブラインL2に沿ってダイシングを行い、第1領域102のみ、すなわち回路素子形成領域のみを、半導体ウェハ2から切り出すこともできる。そして、半導体ウェハ2から切り出された、新チップ116の第1領域102に該当するチップに対して、WCSP構造のパッケージ以外のパッケージを行うことも可能である。

【0099】

さらに、この実施の形態の半導体装置100に対して、実装基板に実装される受動素子を、図1を参照して説明したように、当該半導体装置100の第2領域104上に設けることによって、実装基板に実装される搭載部品数を低減することができる。かつ回路素子14とこの受動素子との電磁干渉を防ぐことができる。尚、前述したように実装基板に実装される搭載部品数を低減させることが出来れば、その結果として、この実装基板のダウンサイジングを実現することが可能となる。

【0100】

ここで、この実施の形態で用いる受動素子をキャパシタ108とした場合、実装基板にこのキャパシタ108を実装した場合と比較して、キャパシタ108と回路素子接続用パッド18との間を電氣的に接続する配線の長さを短くすることができる。よって、この配線の長さに起因するキャパシタ108における寄生インダクタンスは、このキャパシタ108を実装基板に実装した場合と比較して低減され、その結果、このキャパシタ108におけるノイズを効率的に低減させることができる。

【0101】

2. この実施の形態の半導体装置の製造方法

次に、図1を参照して説明したこの実施の形態の半導体装置100の製造方法について、図3～図6を参照して説明した半導体装置100の構成に基づいて以

下に説明する。

【0102】

この実施の形態の半導体装置100の製造方法に供する製造工程図を、図7(A)及び(B)、図8(A)及び(B)、図9(A)及び(B)、図10(A)及び(B)、図11及び図12に示してある。尚、図7(A)及び(B)は、図4及び図6と同じ位置での断面図である。また、図8(A)及び(B)と、図9(A)及び(B)と図11とは、図6と同じ位置での断面図であって、図10(A)及び(B)と図12とは、図4と同じ位置での断面図である。

【0103】

さらに、図7(A)及び(B)、図8(A)及び(B)、図9(A)及び(B)、図10(A)及び(B)、図11及び図12において、一部の構成について断面を示すハッチングを省略して示してある。また、以下の説明において記載される、特定の材料及び条件、膜厚等は、好適例のひとつに過ぎず、この実施の形態の製造方法は、何らこれらに限定されない。

【0104】

図7(A)には、例えば、図2を参照して説明したようにして、半導体ウェハ2上に形成され、かつ当該半導体ウェハ2における前処理が終了した状態の新チップ116の構成を示してある。この新チップ116は、図4を参照して既に説明したように、シリコン(Si)基板を用いて構成され、かつ回路素子14が形成されている半導体基板112を有している。

【0105】

そして、第1領域102の表面上には、Al(アルミニウム)を含む合金、Au(金)を含む合金、及びCu(銅)を含む合金のうちから選択された一種の合金を材料として構成される回路素子接続用パッド18が設けられている。また、図4を参照して既に説明したように、半導体基板112上には、シリコン窒化膜(SiN)を用いて構成されるパッシベーション膜120が、膜厚0.5~1.0 μ m程度で形成されている。尚、回路素子接続用パッド18は、前述した合金のみを材料として用いて構成される場合に限定されず、所望の金属材料を用いて構成してもよい。

【0106】

次に、従来既知のスピンコート法（スピン塗布法）により、パッシベーション膜120上に、絶縁材料であるポリイミドを、厚さ10 μ m程度でコーティングして、第1絶縁膜122aを形成する。続いて、第1絶縁膜122aの主表面から、パッシベーション膜120から露出した回路素子接続用パッド18上部の一部に達する開口部600を公知のホトリソグラフィ技術により、形成する（図7（B））。尚、この開口部600は、既に図6を参照して説明した、下部電極用再配線層124ba及びインダクタ用再配線層124bcのいずれかを形成するために設けられるのが好ましい。従って、好ましくは、図4を参照して説明したような、受動素子と接続されない、第1再配線層124a及び第2再配線層124bを形成するための開口部600は、上述した図7（B）を参照して説明した工程では、形成されない。

【0107】

その後、図7（B）に示す2つの開口部600のうち、一方の開口部600から、第1領域102上から第2領域104上に渡る第1絶縁膜122aの表面上に沿って、図6を参照して説明した下部電極用再配線層124baが、銅（Cu）か或いは銅（Cu）を含む合金のいずれかを材料として用いて、形成される（図8（A））。この下部電極用再配線層124baにおいて、図6に示すキャパシタ108の形成位置に対応する、当該下部電極用再配線層124baの部分を、キャパシタ108の下部電極108aとして形成する（図8（A））。

【0108】

また、図7（B）に示す2つの開口部600のうち、前述した下部電極用再配線層124baと同様にして、図6を参照して説明したインダクタ用再配線層124bcが、上述した下部電極用再配線層124baを構成する材料と同様の材料を用いて、形成される（図8（A））。ここで、このインダクタ用再配線層124bcにおいて、図6に示すインダクタ106の形成位置に対応する、当該インダクタ用再配線層124bcの部分を、スパイラル形状とすることによってインダクタ106を形成する（図8（A））。

【0109】

具体的に、上述した下部電極用再配線層 1 2 4 b a 及びインダクタ用再配線層 1 2 4 b c の形成は、以下の手順によって行うのが好適である。すなわち、チタンと銅 (T i / C u) を含む合金をターゲットとする、従来公知のスパッタ法を行った後、従来公知のホトリソグラフィ技術によりパターン化されたレジストをマスクにして、銅 (C u) を従来公知の方法によりメッキする。その後、レジストを除去して、従来公知のエッチング技術により T i / C u (チタン及び銅の合金) の合金膜をエッチングして、上述した下部電極用再配線層 1 2 4 b a 及びインダクタ用再配線層 1 2 4 b c と、インダクタ 1 0 6 とを形成する。尚、下部電極用再配線層 1 2 4 b a 及びインダクタ用再配線層 1 2 4 b c の膜厚は、好ましくは、5 μ m 程度で形成される。尚、下部電極用再配線層 1 2 4 b a 及びインダクタ用再配線層 1 2 4 b c の膜厚は、インダクタ 1 0 6 の特性を確保するため、前述した 5 μ m から数 μ m 程度変更させてもよい。

【 0 1 1 0 】

次に、図 8 (A) における、第 1 絶縁膜 1 2 2 a の主表面上に、従来公知の印刷形成方法、及び従来公知のスピンコート法のいずれかにより、チタン酸バリウムを用いて構成される高誘電体膜を形成する。尚、第 1 絶縁膜 1 2 2 a 上の、下部電極用再配線層 1 2 4 b a とインダクタ用再配線層 1 2 4 b c とインダクタ 1 0 6 は、前述したようにして形成された高誘電体膜中に埋め込まれる。

【 0 1 1 1 】

その後、公知のホトリソグラフィ技術及び公知のエッチング技術により、キャパシタの下部電極 1 0 8 a 上に、キャパシタの高誘電体膜 1 0 8 b を形成する (図 8 (B))。尚、図 8 (B) を参照して説明した工程のかわりに、図 9 (A) を参照して以下に説明する工程において、図 8 (B) を参照して説明した工程と同様の手順によって、高誘電体膜 1 0 8 b を形成してもよい。尚、高誘電体膜 1 0 8 b の膜厚は、キャパシタ 1 0 8 の容量をどのように設定するかによって変わるため、当業者が決めうる設計事項であるが、5 μ m 程度とするのが好ましい。

【 0 1 1 2 】

次に、上述した図 8 (B) を参照して説明した工程の後に行われる工程について、図 9 (A) 及び (B) と、図 1 0 (A) 及び (B) とを参照して説明する。

【0113】

図8（B）を参照して説明した工程が終了した後、図7（B）を参照して説明した工程の第1絶縁膜122aの形成と同様の手順によって、図8（B）における第1絶縁膜122aの主表面上に、第2絶縁膜122bを形成する（図9（A））。この第2絶縁膜122bは、図8（B）における、第1絶縁膜122a上の、下部電極用再配線層124ba及び高誘電体膜108bとインダクタ用再配線層124bcとインダクタ106が、当該第2絶縁膜122b中に埋め込まれるようにして、形成される。尚、第2絶縁膜122bは、高誘電体膜108bの表面が、この第2絶縁膜122bから露出するように形成される。

【0114】

続いて、公知のホトリソグラフィ技術により、第2絶縁膜122bの表面から、この第2絶縁膜122bに埋設されている下部電極用再配線層124baの一部に達する開口部900aと、第2絶縁膜122bの表面から、この第2絶縁膜122bに埋設されているインダクタ106の一部に達する開口部900bとを形成する（図9（A））。上述した、下部電極用再配線層124baの一部に達する開口部900aは、図6に示すように、第1絶縁膜122a上から第2絶縁膜122bを貫通して、この第2絶縁膜122b上に延在させて当該下部電極用再配線層124baの一部を形成するために設けられる。

【0115】

また、インダクタ106の一部に達する開口部900bは、図6に示すように、インダクタ106から第2絶縁膜122bを貫通して、この第2絶縁膜122b上に延在させてインダクタ用再配線層124bcの一部を形成するために設けられる。

【0116】

尚、図8（B）を参照して説明した工程のかわりに、図9（A）を参照して説明した工程により、キャパシタ108の下部電極108a上に、上述した高誘電体膜108bを形成する開口部（図9（A）には図示せず）を設け、この開口部に、図8（B）を参照して説明した工程の手順と同様の手順によって高誘電体膜108bを形成しても良い。

【0117】

一方、図7（B）を参照して説明した工程において、開口部600が形成されなかった回路素子接続用パッド18上には第1絶縁膜122aが形成されており、図9（A）を参照して説明した工程で、この第1絶縁膜122a上に第2絶縁膜122bが形成される（図10（A））。その後、図9（A）を参照して説明した工程において、公知のホトリソグラフィ技術により、第2絶縁膜122bの表面から、パッシベーション膜120から露出した回路素子接続用パッド18a及び18bの一部に達する開口部1000が形成される（図10（A））。この開口部1000は、好ましくは、図4に示す、第1再配線層124a及び第2再配線層124bのいずれかを形成するために設けられる。

【0118】

その後、図8（A）を参照して説明した工程の手順と同様の手順が行われる。但し、ここでは、図8（A）を参照して説明した工程の手順によるエッチングは行われず、その結果、第2絶縁膜122b上には、図9（A）に示す2つの開口部900a及び900bのそれぞれを埋め込んで、好ましくは、図8（A）を参照して説明した工程で用いた材料と同様の材料によって構成される金属膜が設けられる。この金属膜を、後述する手順によって加工することにより、図6に示す、下部電極用再配線層124baの一部として形成される下部電極用パッド126baと、キャパシタ108の上部電極108cと、2つの第1外部端子接続用パッド126aと、インダクタ用パッド126bcとが形成される。

【0119】

また、上述した金属膜は、図10（A）に示す2つの開口部1000のそれぞれを埋め込んで、第2絶縁膜122b上に形成される。そして、前述した金属膜を、後述する手順によって加工することにより、図4に示す、第1再配線層124a及び第2再配線層124bと、第1再配線層124aの一部として形成される第1外部端子接続用パッド126aと、第2再配線層124bの一部として形成される第2外部端子接続用パッド126bと、1つの第1外部端子接続用パッド126aと、3つの第2外部端子接続用パッド126bとが形成される。

【0120】

続いて、上述した金属膜上に、公知のホトリソグラフィ技術によりパターン化されたレジストをマスクにして、銅（Cu）を従来公知の方法によりメッキした後、レジストを除去し、図4に示す、第1ポスト部128a及び第2ポスト部128bを形成する（図10（B））とともに、図6に示す、2つの第1ポスト部128aと、下部電極用ポスト部128baと、インダクタ用ポスト部128bcとを形成する（図9（B））。尚、前述したホトリソグラフィの際、レジストはドライ現像用レジストを用い、ドライ現像を行うのが好ましい。

【0121】

その後、従来公知のエッチング技術により、上述した金属膜をエッチングして、図6に示す、下部電極用再配線層124baの一部として形成される下部電極用パッド126baと、キャパシタ108の上部電極108cと、2つの第1外部端子接続用パッド126aと、インダクタ用パッド126bcを形成する（図9（B））。図9（B）を参照して説明した工程が終了した時点で、下部電極用第2配線構造130ba、及びインダクタ用第2配線構造130bcが形成される。

【0122】

また、図9（B）を参照して説明した工程が終了した時点で、図5（B）及び図6を参照して説明した上部電極用配線構造130bbが形成されているのが好ましい。この上部電極用配線構造130bbは、図7～図9を参照して説明した下部電極用第2配線構造130baの形成と同様の手順によって形成されるのが好ましい。図9（B）には、上部電極用配線構造130bbが有する構成要素のうち、上部電極用ポスト部128bbを示してある。

【0123】

ここで、下部電極用第2配線構造130baにおいて、下部電極用再配線層124baは、上述したように膜厚5 μ m程度であるのが好ましく、また、下部電極用ポスト部128baは、直径が100～250 μ m程度の円を断面とする円柱状としてあるのが好ましい。そして、上部電極用再配線層124ba及びインダクタ用再配線層124bcのそれぞれは、下部電極用再配線層124baと同様の膜厚とするのが好ましく、かつ上部電極用ポスト部128bbとインダクタ

用ポスト部 1 2 8 b c については、下部電極用ポスト部 1 2 8 b a と同様の構成とするのが好ましい。

【 0 1 2 4 】

さらに、図 9 (B) を参照して説明した工程が終了した時点で、図 4 に示す、第 1 再配線層 1 2 4 a 及び第 2 再配線層 1 2 4 b と、第 1 再配線層 1 2 4 a の一部として形成される第 1 外部端子接続用パッド 1 2 6 a と、第 2 再配線層 1 2 4 b の一部として形成される第 2 外部端子接続用パッド 1 2 6 b と、1 つの第 1 外部端子接続用パッド 1 2 6 a と、3 つの第 2 外部端子接続用パッド 1 2 6 b とが形成される (図 1 0 (B))。よって、図 9 (B) 及び図 1 0 (B) を参照して説明した工程が終了した時点で、第 1 配線構造 1 3 0 a 及び第 2 配線構造 1 3 0 b が形成される。

【 0 1 2 5 】

尚、第 1 再配線層 1 2 4 a 及び第 2 再配線層 1 2 4 b のそれぞれは、上述した下部電極用再配線層 1 2 4 b a と同様に、 $5\mu\text{m}$ 程度の膜厚とするのが好ましく、かつ第 1 ポスト部 1 2 8 a と第 2 ポスト部 1 2 8 b については、上述した下部電極用ポスト部 1 2 8 b a と同様に、直径が $100\sim 250\mu\text{m}$ 程度の円を断面とする円柱状としてあるのが好ましい。

【 0 1 2 6 】

その後、従来公知のトランスファーモールド方式もしくは印刷方式にて、エポキシ系のモールド樹脂や液状封止材等の封止樹脂を用いて、図 4 及び図 6 に示す封止部 1 3 4 を形成する。続いて、図 4 及び図 6 に示す第 1 及び第 2 外部端子 1 3 2 a 及び 1 3 2 b を、公知の方法である、印刷及びリフローもしくはボール搭載及びリフローにより形成する (図 1 1 及び図 1 2)。この時点で、この実施の形態における W C S P 構造のパッケージングが終了する。

【 0 1 2 7 】

次に、上述したパッケージングが終了した状態の半導体ウェハを、図 2 (B) に示す第 1 スクライブライン L 1 に沿ってダイシングを行った後、半導体装置 1 0 0 の製造が終了し、この実施の形態の製造方法の工程が終了する。

【 0 1 2 8 】

以上説明したような、この実施の形態の半導体装置 1 0 0 の製造方法によれば、従来公知の各手順によって、半導体装置 1 0 0 の製造を行う。よって、新たな製造ラインを導入する必要は無く、従来の半導体装置の製造に要するコストと同等のコストで、半導体装置 1 0 0 を製造することができる。

【0 1 2 9】

尚、以上説明したこの実施の形態の半導体装置 1 0 0 の製造方法によれば、各配線構造における各ポスト部、各再配線層、及び各パッドの形成は、同時に行ってもよいし、別々に行ってもよい。また、上述したこの実施の形態の半導体装置 1 0 0 の製造方法における各外部端子の形成も、同時に行ってもよいし、別々に行ってもよい。

【0 1 3 0】

[第 2 の実施の形態]

次に、この発明の半導体装置の第 2 の実施の形態について説明する。

【0 1 3 1】

1. この実施の形態の半導体装置の構成

この実施の形態の半導体装置は、第 1 の実施の形態と同様に、新チップに対して W S C P 構造のパッケージングが施される結果得られる。

【0 1 3 2】

まず、この実施の形態の半導体装置が有する新チップの構成について、図 1 3 を参照して説明する。図 1 3 には、この実施の形態の新チップ 2 1 6 の上方から見た、当該新チップ 2 1 6 の各構成要素の配置関係を示してある。尚、図 1 3 に示す各構成要素について、一部、符号の付与を省略して示してあるが、これら符号の付与を省略した構成要素は、符号を付与した構成要素と同様の構成を有する。

【0 1 3 3】

この実施の形態の新チップ 2 1 6 は、図 2 (A) 及び (B) を参照して説明した半導体ウェハ 2 と同様の構成を有する半導体ウェハ上に形成されるのが好適である。この場合、この実施の形態の新チップ 2 1 6 は、図 1 及び図 2 (B) を参照して説明した新チップ 1 1 6 と同様、回路素子 1 4 の形成領域である第 1 領域

1 0 2 と、この第 1 領域 1 0 2 を中心にして、この領域を取り巻く第 2 領域 1 0 4 とを有する。そして、第 1 領域 1 0 2 上には、既に説明した新チップ 1 1 6 と同様に、複数の回路素子接続用パッド 1 8 が設けられている。

【 0 1 3 4 】

そして、この実施の形態の新チップ 2 1 6 において、第 2 領域 1 0 4 上には、複数の受動素子用パッド 2 1 8 a、2 1 8 b、2 1 8 c、2 1 8 d、及び該受動素子用パッド 2 1 8 a、2 1 8 b、2 1 8 c、2 1 8 d と電氣的に接続された受動素子が設けられている。図 1 3 には、受動素子として、第 1 の実施の形態と同様、インダクタ 2 0 6 及びキャパシタ 2 0 8 を用い、これらインダクタ 2 0 6 及びキャパシタ 2 0 8 のそれぞれを第 2 領域 1 0 4 上に配置した構成を示してある。

【 0 1 3 5 】

図 1 3 において、インダクタ 2 0 6 は、第 1 の実施の形態で既に説明したインダクタ 1 0 6 と同様の構成を有するのが好ましい。図 1 3 には、既に説明したインダクタ 1 0 6 と同様、コイル状の形状を有するインダクタ 2 0 6 を示してある。ここで、第 1 の実施の形態と同様、このインダクタ 2 0 6 の形状をコイル状とするのは単なる一例であって、インダクタンスを有する、所望の回路素子を用いて構成することができる。

【 0 1 3 6 】

図 1 3 に示すように、インダクタ 2 0 6 は、2 つの受動素子用パッド 2 1 8 c 及び 2 1 8 d と電氣的に接続されている。図 1 3 には、これら 2 つの受動素子用パッド 2 1 8 c 及び 2 1 8 d を、第 1 インダクタ接続用パッド 2 1 8 c 及び第 2 インダクタ接続用パッド 2 1 8 d として示してある。

【 0 1 3 7 】

また、キャパシタ 2 0 8 も、第 1 の実施の形態で既に説明したキャパシタ 1 0 8 と同様の構成を有するのが好ましい。この実施の形態によれば、キャパシタ 2 0 8 の上部電極を受動素子用パッド 2 1 8 a と電氣的に接続するとともに、この受動素子用パッド 2 1 8 a とは別の受動素子用パッド 2 1 8 b に、キャパシタ 2 0 8 の下部電極を電氣的に接続する。図 1 3 には、キャパシタ 2 0 8 の上部電極

と電氣的に接続される受動素子用パッド 2 1 8 a を、第 1 キャパシタ接続用パッド 2 1 8 a として示してあり、及びキャパシタ 2 0 8 の下部電極と電氣的に接続される受動素子用パッド 2 1 8 b を、第 2 キャパシタ接続用パッド 2 1 8 b として示してある。

【 0 1 3 8 】

次に、図 1 3 に示す新チップ 2 1 6 における、インダクタ 2 0 6 及びキャパシタ 2 0 8 に注目し、図 1 4 (A) 及び (B) と、図 1 5 とを参照して、さらに詳細に説明する。

【 0 1 3 9 】

図 1 4 (A) には、新チップ 2 1 6 の上方から見た、この新チップ 2 1 6 の各構成要素の配置関係を、インダクタ 2 0 6 及びキャパシタ 2 0 8 の配置のようすが分かる程度に簡略化して示してあり、図 1 4 (B) には、キャパシタ 2 0 8 と、第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b との接続の一例を示してある。また、図 1 5 には、図 1 4 (A) に示す新チップ 2 1 6 について、D-D' 線に沿って切断された部分の構成を示してある。尚、図 1 4 (A) 及び (B) と図 1 5 に示すキャパシタ 2 0 8 等の各構成要素の構成は単なる一例であって、これらの構成はこれらの図中に示す構成に限定されない。

【 0 1 4 0 】

まず、図 1 4 (A) について説明する。図 1 4 (A) には、既に説明した図 1 3 と同様にして、新チップ 2 1 6 の上方から平面的に見た、第 1 領域 1 0 2 及び第 2 領域 1 0 4 と、インダクタ 2 0 6 及びキャパシタ 2 0 8 との配置関係を主に簡略化して示してある。ここで、既に説明したように、キャパシタ 2 0 8 は第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b のそれぞれに電氣的に接続されており、また、コイル状のインダクタ 2 0 6 は、その一端を第 1 インダクタ接続用パッド 2 1 8 c に電氣的に直列に接続されるとともに、その他端を第 2 インダクタ接続用パッド 2 1 8 d に電氣的に直列に接続されている。

【 0 1 4 1 】

図 1 4 (A) において、D-D' 線の図中の D から D' に向かう方向に沿って、第 2 キャパシタ接続用パッド 2 1 8 b と、キャパシタ 2 0 8 と、第 1 キャパシ

タ接続用パッド 2 1 8 a と、2 つの回路素子接続用パッド 1 8 e 及び 1 8 f と、第 1 インダクタ接続用パッド 2 1 8 c と、インダクタ 2 0 6 と、第 2 インダクタ接続用パッド 2 1 8 d とが順に配置されている。

【0 1 4 2】

次に、図 1 4 (A) に示す新チップ 2 1 6 の構成の一例について図 1 5 を参照して説明する。上述したように、この実施の形態の新チップ 2 1 6 は、新チップ 1 1 6 と同様の構成を有する。よって、図 1 5 中、新チップ 1 1 6 と同様の構成を有する各構成要素については、図 4 及び図 6 と同一の符号を付して示し、重複する説明は省略する。

【0 1 4 3】

新チップ 2 1 6 は、第 1 領域 1 0 2 に回路素子 1 4 の形成された半導体基板 2 1 2 を有している。第 1 領域 1 0 2 において、回路素子 1 4 は、図 4 を参照して説明した構成と同様に、形成されているのが好ましい。この場合、第 1 領域 1 0 2 における半導体基板 2 1 2 の表面 2 1 2 a が回路素子 1 4 の表面 1 4 a となっている。

【0 1 4 4】

また、新チップ 2 1 6 は、図 1 3 を参照して説明したように、第 1 領域 1 0 2 上に複数の回路素子接続用パッド 1 8 を有するとともに、半導体基板 2 1 2 上にパッシベーション膜 2 2 0 を有している。このパッシベーション膜 2 2 0 の構成について詳細は後述する。

【0 1 4 5】

また、この実施の形態によれば、第 2 領域 1 0 4 上には、インダクタ 2 0 6 及びキャパシタ 2 0 8 が形成されている。コイル状のインダクタ 2 0 6 は、第 2 領域 1 0 4 に該当する半導体基板 2 1 2 の主表面 2 1 2 a 上に形成されている。また、このインダクタ 2 0 6 と電氣的に接続される第 1 及び第 2 インダクタ接続用パッド 2 1 8 c 及び 2 1 8 d も、第 2 領域 1 0 4 に該当する半導体基板 2 1 2 の主表面 2 1 2 a 上に形成されている。

【0 1 4 6】

そして、インダクタ 2 0 6 の一端を延長して、第 1 インダクタ接続用パッド 2

18cに、電氣的に直列的に接続してある。尚、延長されたインダクタ206の一端は、このインダクタ206と、第1インダクタ接続用パッド218cとを接続する配線パターン217として、第2領域104に該当する半導体基板212に形成されている。

【0147】

また、図14(A)に示すように、上述したインダクタ206の一端と同様にして、インダクタ206の他端も、配線パターン217によって、第2インダクタ接続用パッド218dに電氣的に直列的に接続するのが好ましい。尚、この配線パターン217は、インダクタ206の他端を延長することによって形成されるのが好適である。図15には、インダクタ206の他端を第2インダクタ接続用パッド218dと接続した構成を示してある。この構成は、インダクタ206の他端を、この他端を延長することによって形成された配線パターン217によって、第2インダクタ接続用パッド218dに接続する構成と同様の構成とみなすことができる。

【0148】

上述したように、図15に示すインダクタ206は、第1及び第2インダクタ接続用パッド218c及び218d間を電氣的に接続する配線パターン217の中間に、電氣的に直列に接続されている。

【0149】

また、図15において、キャパシタ208は、第2領域104に該当する半導体基板212に形成されている。図15に示すキャパシタ208の構成によれば、このキャパシタ208の下部電極208a及び高誘電体膜208bは半導体基板212に形成されており、高誘電体膜208bの上面と半導体基板212の主表面212aとは実質的に同じ高さレベルとなっている。そして、この半導体基板212の主表面212aに露出した高誘電体膜208bの上面上に、キャパシタ208の上部電極208cを形成してある。

【0150】

また、キャパシタ208と接続される第1及び第2キャパシタ接続用パッド218a及び218bは、第2領域104に該当する半導体基板212の主表面2

1 2 a 上に形成されている。図 1 5 において、キャパシタ 2 0 8 の下部電極 2 0 8 a の一端を延長して、第 2 キャパシタ接続用パッド 2 1 8 b に接続してある。そして、延長された下部電極 2 0 8 a の一端は、このキャパシタ 2 0 8 の下部電極 2 0 8 a の一端と、第 2 キャパシタ接続用パッド 2 1 8 b とを接続する配線パターン 2 6 0 として、第 2 領域 1 0 4 の半導体基板 2 1 2 に形成されている。

【 0 1 5 1 】

ここで、図 1 4 (A) 及び図 1 5 のキャパシタ 2 0 8 の構成について、このキャパシタ 2 0 8 と第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b との接続の一例について詳細に説明する。図 1 4 (B) には、新チップ 2 1 6 の上方から見た、キャパシタ 2 0 8 と、このキャパシタ 2 0 8 と接続される第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b との配置関係を示してある。

【 0 1 5 2 】

キャパシタの下部電極 2 0 8 a は、上述したように、配線パターン 2 6 0 によって第 2 キャパシタ接続用パッド 2 1 8 b と接続されている。この下部電極 2 0 8 a の直上には上部電極 2 0 8 c が形成されている。そして、図 1 4 (B) において、キャパシタ 2 0 8 の形成位置、すなわちこのキャパシタの上部電極 2 0 8 c の配置位置と重なる位置に第 1 キャパシタ接続用パッド 2 1 8 a が形成されている。

【 0 1 5 3 】

この第 1 キャパシタ接続用パッド 2 1 8 a には、図 1 4 (A) に示すように、キャパシタの上部電極 2 0 8 c の一端が、前述した下部電極 2 0 8 a と同様に、配線パターン 2 6 1 によって接続されるのが好ましい。この配線パターン 2 6 1 は、上部電極 2 0 8 c の一端を延長することによって形成されるのが好適である。尚、図 1 5 及び図 1 4 (B) には、上部電極 2 0 8 c の一端と第 1 キャパシタ接続用パッド 2 1 8 a とを接続した構成を示してある。この構成は、上部電極 2 0 8 c の一端を延長して配線パターン 2 6 1 を形成し、この配線パターン 2 6 1 によって、上部電極 2 0 8 c の一端と第 1 キャパシタ接続用パッド 2 1 8 a とを接続する構成と同様の構成とみなすことができる。

【 0 1 5 4 】

ところで、新チップ 2 1 6 の半導体基板 2 1 2 上には、既に図 4 を参照して説明したパッシベーション膜 1 2 0 と同様の構成を有する、パッシベーション膜 2 2 0 が設けられている。図 1 5 に示す構成例によれば、パッシベーション膜 2 2 0 は、2 つの回路素子接続用パッド 1 8 e 及び 1 8 f と、第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b と、第 1 及び第 2 インダクタ接続用パッド 2 1 8 c 及び 2 1 8 d のそれぞれの頂面が、このパッシベーション膜 2 2 0 から露出するように、設けられているのが好ましい。また、半導体基板 2 1 2 上に形成されたインダクタ 2 0 6 は、パッシベーション膜 2 2 0 に埋め込まれているのが望ましい。

【 0 1 5 5 】

次に、図 1 3 ～図 1 5 を参照して説明した新チップ 2 1 6 に対して、WCSP 構造のパッケージングを施した後、半導体ウェハから切り出して得られる、この実施の形態の半導体装置 2 0 0 の構成について、図 1 6 を参照して説明する。図 1 6 には、半導体装置 2 0 0 の上方から見た、当該半導体装置 2 0 0 の各構成要素の配置関係を示してある。

【 0 1 5 6 】

また、この実施の形態の半導体装置 2 0 0 は、既に説明した第 1 の実施の形態の半導体装置 1 0 0 と同様の構成を有する。よって、図 1 6 中、第 1 の実施の形態において、図 1 を参照して説明した半導体装置 1 0 0 と同様の構成を有する構成要素については、図 1 と同一の符号を付して示し、重複する説明は省略する。

【 0 1 5 7 】

この実施の形態によれば、半導体装置 2 0 0 において、新チップ 2 1 6 の第 1 領域 1 0 2 上には複数の第 1 外部端子 1 3 2 a が配置され、新チップ 2 1 6 の第 2 領域 1 0 4 上には複数の第 2 外部端子 1 3 2 b が配置されている。そして、半導体装置 2 0 0 において、複数の第 1 外部端子 1 3 2 a は、複数の回路素子接続用パッド 1 8 のうちの第 1 個数の回路素子接続用パッド 1 8 と、ファンイン方式の複数の第 1 配線構造 2 3 0 a によって、電気的に個別に接続される。また、複数の第 2 外部端子 1 3 2 b は、複数の回路素子接続用パッド 1 8 のうちの第 2 個数の回路素子接続用パッド 1 8 と、ファンアウト方式の複数の第 2 配線構造 2 3

0 bによって、電氣的に個別に接続される。

【0 1 5 8】

さらに、図 1 3 を参照して既に説明したように、新チップ 2 1 6 の第 2 領域 1 0 4 上には、予め、第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b に接続されたキャパシタ 2 0 8 と、第 1 及び第 2 インダクタ接続用 2 1 8 c、2 1 8 d に接続されたインダクタ 2 0 6 が設けられている。

【0 1 5 9】

ここで、第 1 キャパシタ接続用パッド 2 1 8 a は、第 2 外部端子 1 3 2 b と電氣的に接続され、この第 2 外部端子 1 3 2 b とは別の第 2 外部端子 1 3 2 b に、第 2 キャパシタ接続用パッド 2 1 8 b が電氣的に接続されている。そして、前述したように、第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b を介して、キャパシタ 2 0 8 と電氣的に接続された 2 つの第 2 外部端子 1 3 2 b は、それぞれ、第 2 配線構造 2 3 0 b によって回路素子接続用パッド 1 8 に、電氣的に接続されている。

【0 1 6 0】

図 1 6 中、前述したように、キャパシタ 2 0 8 の上部電極と、第 1 キャパシタ接続用パッド 2 1 8 a を介して電氣的に接続される第 2 外部端子 1 3 2 b を上部電極用第 2 外部端子 2 3 2 b b とし、キャパシタ 2 0 8 の下部電極と、第 2 キャパシタ接続用パッド 2 1 8 b を介して電氣的に接続される第 2 外部端子 1 3 2 b を下部電極用第 2 外部端子 2 3 2 b a として示してある。

【0 1 6 1】

また、図 1 6 中、上部電極用第 2 外部端子 2 3 2 b b と回路素子接続用パッド 1 8 とを電氣的に接続する第 2 配線構造 2 3 0 b を、上部電極用第 2 配線構造 2 3 0 b b とし、下部電極用第 2 外部端子 2 3 2 b a と回路素子接続用パッド 1 8 とを電氣的に接続する第 2 配線構造 2 3 0 b を、下部電極用第 2 配線構造 2 3 0 b a として示してある。

【0 1 6 2】

また、図 1 6 中、インダクタ 2 0 6 と電氣的に接続された第 1 及び第 2 インダクタ接続用パッド 2 1 8 c 及び 2 1 8 d と、以下のようにして電氣的に接続され

る第2配線構造230bを、インダクタ用第2配線構造230bcとして示してある。この実施の形態によれば、第2インダクタ接続用パッド218dは回路素子接続用パッド18にインダクタ用第2配線構造230bcによって接続されるとともに、第1インダクタ接続用パッド218cは、第2外部端子132bにインダクタ用第2配線構造230bcによって接続されている。

【0163】

次に、図16を参照して説明した半導体装置200における、第1配線構造230a及び第2配線構造230bの構成に注目し、図17を参照して、さらに詳細に説明する。

【0164】

図17には、既に説明した図3に示す半導体装置100の構成を、この実施の形態の半導体装置200に対応させ、図3中、第1の実施の形態の第1配線構造130a及び第2配線構造130bを、この実施の形態の第1配線構造230a及び第2配線構造230bとし、かつ2つの回路素子接続用パッド18a及び18bを、2つの回路素子接続用パッド18a'及び18b'とした場合、B-B'線に沿って切断された部分の構成を示してある。よって、図17における各構成要素の配置関係について、既に図3を参照して行った説明と重複する説明は省略する。

【0165】

尚、図17に示す第1及び第2配線構造230a及び230b等の構成は単なる一例であって、これらの構成は同図中に示す構成に限定されない。また、図17において、新チップ216の構成については、既に図15を参照して説明した。従って、この新チップ216の構成に関して、既に行った説明と重複する説明は省略する。

【0166】

また、この実施の形態の第1配線構造230a及び第2配線構造230bは、好ましくは、第1の実施の形態の第1配線構造130a及び第2配線構造130bと同様の構成を有する。さらに、図17に示す半導体装置200は、既に図4を参照して説明した半導体装置100と同様の構成を有する。よって、図17中

、既に図 4 を参照して説明した構成と同様の構成を有する構成要素については、図 4 と同一の符号を付して示し、重複する説明は省略する。

【 0 1 6 7 】

この実施の形態における、第 1 配線構造 2 3 0 a は、既に図 4 を参照して説明した第 1 配線構造 1 3 0 a と同様、回路素子接続用パッド 1 8 b' と電氣的に接続される第 1 再配線層 2 2 4 a と、この第 1 再配線層 2 2 4 a の一部である第 1 ポスト用パッド 2 2 6 a と電氣的に接続される第 1 ポスト部 1 2 8 a とを有する。

【 0 1 6 8 】

また、第 2 配線構造 2 3 0 b は、既に図 4 を参照して説明した第 2 配線構造 1 3 0 b と同様、回路素子接続用パッド 1 8 a' と電氣的に接続される第 2 再配線層 2 2 4 b と、この第 2 再配線層 2 2 4 b の一部である第 2 ポスト用パッド 2 2 6 b と電氣的に接続される第 2 ポスト部 1 2 8 b とを有する。

【 0 1 6 9 】

そして、図 1 7 に示すように、第 1 再配線層 2 2 4 a は、新チップ 2 1 6 上に設けられていて、第 1 領域 1 0 2 内において、回路素子接続用パッド 1 8 b' と第 1 ポスト部 1 2 8 a との間を接続する、ファンイン方式の配線として形成されている。また、図 1 7 において、第 2 再配線層 2 2 4 b は、新チップ 2 1 6 上に設けられていて、特に第 1 領域 1 0 2 から第 2 領域 1 0 4 上に渡って、回路素子接続用パッド 1 8 a' と第 2 ポスト部 1 2 8 b との間を接続する、ファンアウト方式の配線として形成されている。

【 0 1 7 0 】

ここで、既に図 4 を参照して説明した半導体装置 1 0 0 の構成と同様に、この実施の形態の半導体装置 2 0 0 の構成によれば、パッシベーション膜 2 2 0 上には絶縁膜 2 2 2 が形成されている。図 1 7 に示すように、この絶縁膜 2 2 2 は、図 4 に示す、2 層構造の絶縁膜 1 2 2 と異なり、単層構造となっている。そして、この絶縁膜 2 2 2 上に、第 1 ポスト用パッド 2 2 6 a と第 2 ポスト用パッド 2 2 6 b とが設けられている。

【 0 1 7 1 】

図 1 7 に示す構成例によれば、第 1 再配線層 2 2 4 a の一端側を、絶縁膜 2 2 2 を貫いて、回路素子接続用パッド 1 8 b' の頂面と電氣的に接続させてあり、一方、当該第 1 再配線層 2 2 4 a は、この一端側から絶縁膜 2 2 2 上に延在させて形成されている。絶縁膜 2 2 2 上に延在されて設けられた第 1 再配線層 2 2 4 a の他端を第 1 ポスト用パッド 2 2 6 a としてある。また、第 2 再配線層 2 2 4 b は、第 1 再配線層 2 2 4 a と同様に、その一端側が他の回路素子接続用パッド 1 8 a' と電氣的に接続されるとともに、その他端を第 2 ポスト用パッド 2 2 6 b としてある。

【0 1 7 2】

そして、第 1 ポスト用パッド 2 2 6 a は、好ましくは、既に図 4 を参照して説明した第 1 ポスト用パッド 1 2 6 a の構成と同様、第 1 外部端子 1 3 2 a の配置位置に対応して絶縁膜 2 2 2 上に配置される。また、第 2 ポスト用パッド 2 2 6 b も、第 1 ポスト用パッド 2 2 6 a と同様に、第 2 外部端子 1 3 2 b の配置位置に対応して絶縁膜 2 2 2 上に配置されるのが好ましい。

【0 1 7 3】

次に、図 1 6 を参照して説明した半導体装置 2 0 0 における、インダクタ 2 0 6 及びキャパシタ 2 0 8 の構成に注目し、図 1 8 及び図 1 9 を参照して、さらに詳細に説明する。

【0 1 7 4】

図 1 8 は、半導体装置 2 0 0 の上方からみた、この半導体装置 2 0 0 の各構成要素の配置関係を示す図である。この図 1 8 に示す半導体装置 2 0 0 は、既に図 1 4 (A) を参照して説明した新チップ 2 1 6 を有する。図 1 9 には、図 1 8 に示す半導体装置 2 0 0 を、図 1 4 (A) に示す D-D' 線と同一の位置で切断した部分の構成を示してある。尚、図 1 8 及び図 1 9 に示す、この実施の形態の半導体装置 2 0 0 の各構成要素の構成は、単なる一例であって、これらの構成はこれらの図中に示す構成に限定されない。

【0 1 7 5】

まず、図 1 8 について説明するが、新チップ 2 1 6 の構成について、既に図 1 4 (A) を参照して行った説明と重複する説明は省略する。ここで、図 1 6 を参

照して説明したように、キャパシタ 2 0 8 は第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b を介して、上部電極用第 2 外部端子 2 3 2 b b 及び下部電極用第 2 外部端子 2 3 2 b a と電氣的に接続されている。また、インダクタ 2 0 6 は、第 1 及び第 2 インダクタ接続用パッド 2 1 8 c 及び 2 1 8 d を介して第 2 外部端子 1 3 2 b と電氣的に接続されている。

【 0 1 7 6 】

図 1 8 において、図 1 4 (A) に示すキャパシタ 2 0 8 に対しては、第 1 キャパシタ接続用パッド 2 1 8 a と重なる位置に、上部電極用第 2 外部端子 2 3 2 b b が配置され、及び第 2 キャパシタ接続用パッド 2 1 8 b と重なる位置に、下部電極用第 2 外部端子 2 3 2 b a が配置されている。

【 0 1 7 7 】

そして、図 1 8 に示す構成例によれば、図 1 4 (A) に示す第 1 領域 1 0 2 の、D-D' 線の D から D' に向かう方向に沿って、1 つめに配置されている回路素子接続用パッド 1 8 e と、上部電極用第 2 外部端子 2 3 2 b b とが、上部電極用第 2 配線構造 2 3 0 b b によって接続されている。また、図 1 8 に示す下部電極用第 2 外部端子 2 3 2 b a は、D-D' 線上に存在しない別の回路素子接続用パッド 1 8 g に、下部電極用第 2 配線構造 2 3 0 b a によって接続されている。

【 0 1 7 8 】

また、図 1 8 中、図 1 4 (A) に示す第 1 領域 1 0 2 に配置された 2 つの回路素子接続用パッド 1 8 e 及び 1 8 f 間に、2 つの第 1 外部端子 1 3 2 a が、同図中の D-D' 線に沿って配置されている。これら 2 つの第 1 外部端子 1 3 2 a のそれぞれは、実際には、図 1 8 に図示されていない任意の回路素子接続用パッド 1 8 と、同図中に図示されていない第 1 配線構造 2 3 0 a によって、それぞれ接続されているとする。

【 0 1 7 9 】

また、図 1 8 において、インダクタ 2 0 6 と接続されている第 1 及び第 2 インダクタ接続用パッド 2 1 8 c 及び 2 1 8 d のうち、同図中、D-D' 線の D から D' の方向に沿ってひとつめに配置されている第 1 インダクタ接続用パッド 2 1 8 c は、このパッド 2 1 8 c と隣接する、第 1 領域 1 0 2 の回路素子接続用パッ

ド 1 8 f にインダクタ用第 2 配線構造 2 3 0 b c によって接続されている。さらに、図 1 8 と図 1 4 (A) とを対応させると、第 2 インダクタ接続用パッド 2 1 8 d の位置と重なる位置に、インダクタ 2 0 6 と電氣的に接続される第 2 外部端子 1 3 2 b が配置されている。

【0 1 8 0】

次に、図 1 9 について説明する。既に説明したように、図 1 9 に示す半導体装置 2 0 0 の構成は、図 1 5 に示す新チップ 2 1 6 の構成を含んでいる。よって、図 1 9 について、既に図 1 5 を参照して行った、新チップ 2 1 6 の構成について、重複する説明は省略する。

【0 1 8 1】

ここで、この実施の形態では、図 1 6 を参照して既に説明したように、上部電極用第 2 配線構造 2 3 0 b b 及び下部電極用第 2 配線構造 2 3 0 b a と、インダクタ用第 2 配線構造 2 3 0 b c は、それぞれ、第 2 配線構造 2 3 0 b の一種であるので、それぞれ、この第 2 配線構造 2 3 0 b と同様の構成を有する。

【0 1 8 2】

さらに、上部電極用第 2 配線構造 2 3 0 b b は、図 6 を参照して既に説明した上部電極用第 2 配線構造 1 3 0 b b と同様の構成を有するのが好ましい。また、下部電極用第 2 配線構造 2 3 0 b a は、図 6 を参照して既に説明した下部電極用第 2 配線構造 1 3 0 b a と同様の構成を有し、インダクタ用第 2 配線構造 2 3 0 b c は、図 6 を参照して既に説明したインダクタ用第 2 配線構造 1 3 0 b c と同様の構成を有するのが好適である。

【0 1 8 3】

よって、図 1 9 に示す各配線構造の構成について、図 6 と同様の構成を有する構成要素については、図 6 と同一の符号を付して示し、重複する説明は省略する。また、図 1 9 における、図 1 7 を参照して既に説明した半導体装置 2 0 0 の構成について、重複する説明も省略する。

【0 1 8 4】

上部電極用第 2 配線構造 2 3 0 b b は、上部電極用再配線層 2 2 4 b b と、この上部電極用再配線層 2 2 4 b b の一部である上部電極用パッド 2 2 6 b b と、

上部電極用ポスト部 1 2 8 b b とを有する。図 1 9 に示すように、上部電極用再配線層 2 2 4 b b は、新チップ 2 1 6 上に、第 1 領域 1 0 2 から第 2 領域 1 0 4 に渡って、回路素子接続用パッド 1 8 e と上部電極用ポスト部 1 2 8 b b との間を接続する、ファンアウト方式の配線として形成されている。

【 0 1 8 5 】

また、下部電極用第 2 配線構造 2 3 0 b a は、下部電極用再配線層 2 2 4 b a と、この下部電極用再配線層 2 2 4 b a の一部である下部電極用パッド 2 2 6 b a と、下部電極用ポスト部 1 2 8 b a とを有する。下部電極用第 2 配線構造 2 3 0 b a の構成について、詳細は後述する。

【 0 1 8 6 】

また、インダクタ用第 2 配線構造 2 3 0 b c は、インダクタ用再配線層 2 2 4 b c と、このインダクタ用再配線層 2 2 4 b c の一部であるインダクタ用パッド 2 2 6 b c と、インダクタ用ポスト部 1 2 8 b c とを有する。インダクタ用再配線層 2 2 4 b c は、回路素子接続用パッド 1 8 f とインダクタ用ポスト部 1 2 8 b c との間を電氣的に接続する、ファンアウト方式の配線として形成されている。インダクタ用第 2 配線構造 2 3 0 b c の構成について、詳細は後述する。

【 0 1 8 7 】

図 1 9 において、上部電極用再配線層 2 2 4 b b の構成に着目する。この上部電極用再配線層 2 2 4 b b の一端側は、絶縁膜 2 2 2 を貫いて、回路素子接続用パッド 1 8 e の頂面と電氣的に接続されている。そして、上部電極用再配線層 2 2 4 b b は、前述した一端側から絶縁膜 2 2 2 上を延在させて形成されており、当該上部電極用再配線層 2 2 4 b b の他端は、上部電極用パッド 2 2 6 b b としてある。

【 0 1 8 8 】

図 1 9 には、図 1 8 に示す上部電極用第 2 外部端子 2 3 2 b b の直下に、上部電極用パッド 2 2 6 b b を設ける構成を示してある。そして、図 1 9 に示すように、上部電極用再配線層 2 2 4 b b を上部電極用パッド 2 2 6 b b から延長して、新チップ 2 1 6 上の第 1 キャパシタ接続用パッド 2 1 8 a に電氣的に接続してある。よって、図 1 9 に示す上部電極用再配線層 2 2 4 b b の一部分は、上部電

極用パッド 2 2 6 b b と第 1 キャパシタ接続用パッド 2 1 8 a とを接続する配線として、絶縁膜 2 2 2 を貫通して形成されている。

【 0 1 8 9 】

ところで、インダクタ用第 2 配線構造 2 3 0 b c の構成を、図 1 9 と図 1 8 とを対応させて着目すれば、回路素子接続用パッド 1 8 f は、インダクタ用再配線層 2 2 4 b c によって、第 1 インダクタ接続用パッド 2 1 8 c に電氣的に接続されている。図 1 9 に示す構成によれば、このインダクタ用再配線層 2 2 4 b c は、絶縁膜 2 2 2 を貫いて回路素子接続用パッド 1 8 f の頂面と電氣的に接続された一端側から、絶縁膜 2 2 2 上に延在させて設けられている。そして、インダクタ用再配線層 2 2 4 b c の他端側は、絶縁膜 2 2 2 を貫いて第 1 インダクタ接続用パッド 2 1 8 c の頂面と電氣的に接続されている。

【 0 1 9 0 】

また、図 1 9 に示す構成によれば、図 1 8 において、第 2 外部端子 1 3 2 b と重なる位置に配置されている第 2 インダクタ接続用パッド 2 1 8 d の頂面上には、インダクタ用再配線層 2 2 4 b c が絶縁膜 2 2 2 を貫いて形成されており、このインダクタ用再配線層 2 2 4 b c は絶縁膜 2 2 2 上にも延在させて形成されている。この絶縁膜 2 2 2 上に延在させて形成されたインダクタ用再配線層 2 2 4 b c の一部を、インダクタ用パッド 2 2 6 b c としてある。すなわち、図 1 9 において、第 2 インダクタ接続用パッド 2 1 8 d は、インダクタ用パッド 2 2 6 b c と、インダクタ用再配線層 2 2 4 b c によって電氣的に接続されている。尚、図 1 9 において、インダクタ用パッド 2 2 6 b c は、好ましくは、上述した、図 1 8 においてインダクタ 2 0 6 に対して設けられる第 2 外部端子 1 3 2 b の直下に設けられている。

【 0 1 9 1 】

すなわち、この実施の形態によれば、前述したようにインダクタ用再配線層 2 2 4 b c 及び配線パターン 2 1 7 によって配線を行い、インダクタ 2 0 6 と、第 1 及び第 2 インダクタ接続用パッド 2 1 8 c 及び 2 1 8 d と、回路素子接続用パッド 1 8 f とが、それぞれ互いに電氣的に接続されるように構成してある。

【 0 1 9 2 】

さらに、図 1 9 において、絶縁膜 2 2 2 上には、上述した上部電極用パッド 2 2 6 b b 及びインダクタ用パッド 2 2 6 b c のほか、下部電極用パッド 2 2 6 b a と、第 1 ポスト用パッド 2 2 6 a とが設けられている。下部電極用パッド 2 2 6 b a は、図 1 8 に示す下部電極用第 2 外部端子 2 3 2 b a の直下に設けられており、かつ上述した上部電極用パッド 2 2 6 b b と同様の構成を有するのが好ましい。

【 0 1 9 3 】

そして、下部電極用パッド 2 2 6 b a は、図 1 9 には括弧を付して示してあるが、図 1 8 において、D - D' 線に沿った位置からずれた位置に配置されている回路素子接続用パッド 1 8 g に、下部電極用再配線層 2 2 4 b a によって電氣的に接続されている。この下部電極用再配線層 2 2 4 b a は、上述した上部電極用再配線層 2 2 4 b b と同様の構成を有するのが好ましい。よって、上述した上部電極用パッド 2 2 6 b b と同様、図 1 9 に示す下部電極用パッド 2 2 6 b a は、第 2 キャパシタ接続用パッド 2 1 8 b と、下部電極用再配線層 2 2 4 b a によって接続されている。

【 0 1 9 4 】

また、図 1 9 において、図 1 8 に示す 2 個の第 1 外部端子 1 3 2 a のそれぞれの位置に対応して、第 1 ポスト用パッド 2 2 6 a が設けられている。尚、図 1 9 における、第 1 配線構造 2 3 0 a に係わる構成についての詳細な説明は、既に図 1 7 を参照して行った説明と重複するため省略する。

【 0 1 9 5 】

ところで、この実施の形態によれば、下部電極用第 2 外部端子 2 3 2 b a は、下部電極用パッド 2 2 6 b a 上に設けられている下部電極用ポスト部 1 2 8 b a の、封止部 1 3 4 から露出した頂面と電氣的に接続するように、設けられているのが望ましい。また、上部電極用第 2 外部端子 2 3 2 b b は、下部電極用第 2 外部端子 2 3 2 b a と同様にして、上部電極用パッド 2 2 6 b b 上に設けられている上部電極用ポスト部 1 2 8 b b の頂面に設けられているのが好ましい。

【 0 1 9 6 】

以上説明した、この実施の形態の半導体装置 2 0 0 の構成によれば、既に説明

した第1の実施の形態と同様の作用及び効果を得ることが出来る。

【0197】

また、第1の実施の形態の半導体装置100では、図4及び図6を参照して既に説明したように、各配線構造の構成は2層構造である。一方、この実施の形態の半導体装置200の構成によれば、図13～図15を参照して説明したように、予め、半導体チップ216上に受動素子が形成されているため、各配線構造の構成は、図17及び図19を参照して説明したように単層構造とすることが出来る。その結果、この実施の形態の半導体装置200の構成は、第1の実施の形態の半導体装置100と比較して、より簡略化することができる。

【0198】

2. この実施の形態の半導体装置の製造方法

次に、図16を参照して説明したこの実施の形態の半導体装置200の製造方法について、図17～図19を参照して説明した半導体装置200の構成に基づいて以下に説明する。

【0199】

この実施の形態の半導体装置200の製造方法に供する製造工程図を、図20(A)及び(B)と、図21(A)及び(B)とに示してある。尚、図20(A)及び(B)は、図19と同じ位置での断面図であり、図21(A)及び(B)は、図17と同じ位置での断面図である。

【0200】

さらに、図20(A)及び(B)と、図21(A)及び(B)とにおいて、一部の構成について断面を示すハッチングを省略して示してある。また、以下の説明において記載される、特定の材料及び条件、膜厚等は、好適例のひとつに過ぎず、この実施の形態の製造方法は、何らこれらに限定されない。

【0201】

この実施の形態の半導体装置200における、新チップ216は、図13～図15を参照して説明した構成を有している。この新チップ216における、半導体基板212と、回路素子14及び回路素子接続用パッド18と、パッシベーション膜220とは、図7(A)を参照して説明した新チップ116と同様の材料

及び膜厚として形成するのが好ましい。従って、前述した半導体基板 2 1 2、回路素子 1 4 及び回路素子接続用パッド 1 8、及びパッシベーション膜 2 2 0 のそれぞれを構成する材料、及びそれぞれの膜厚について、図 7 (A) を参照して行った説明と重複する説明は省略する。

【 0 2 0 2 】

また、新チップ 2 1 6 に形成された、第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b と、第 1 及び第 2 インダクタ接続用パッド 2 1 8 c 及び 2 1 8 d は、上述した回路素子接続用パッド 1 8 と同様の材料を用いて構成するのが好ましい。さらに、この実施の形態によれば、従来公知の MEMS (Micro-Electro-Mechanical System) 技術によって、新チップ 2 1 6 に、インダクタ 2 0 6 及びキャパシタ 2 0 8 と、各配線パターン (例えば、図 1 4 及び図 1 5 を参照して説明した配線パターン 2 1 7、2 6 0、及び 2 6 1) が形成されるのが望ましい。そして、インダクタ 2 0 6 と、キャパシタ 2 0 8 の上部電極 2 0 8 c 及び下部電極 2 0 8 a は、それぞれアルミニウム (A 1) を用いて構成されるのが好適である。

【 0 2 0 3 】

尚、図 1 4 (A) 及び (B) と図 1 5 を参照して説明したように、好ましくは、インダクタ 2 0 6 の一端を延長して配線パターン 2 1 7 を形成するほか、キャパシタの上部電極 2 0 8 c の一端を延長することによって配線パターン 2 6 1 を形成し、かつキャパシタの下部電極 2 0 8 a の一端を延長することによって配線パターン 2 6 0 を形成してある。よって、前述したようなインダクタ 2 0 6 及びキャパシタ 2 0 8 の構成によれば、インダクタ 2 0 6 に接続される配線パターン 2 1 7 は、インダクタ 2 0 6 と同様の材料を用いて構成され、かつキャパシタ 2 0 8 に接続される配線パターン 2 6 0 及び 2 6 1 は、キャパシタ 2 0 8 の上部電極 2 0 8 c 及び下部電極 2 0 8 a と同様の材料を用いて構成されるのが好ましい。

【 0 2 0 4 】

この実施の形態の半導体装置 2 0 0 の製造方法によれば、上述したような構成を有する新チップ 2 1 6 が、既に説明したような半導体ウェハ上に形成されてい

る状態で、W C S P 構造のパッケージングが行われる。図 2 0 (A) 及び (B) と図 2 1 (A) 及び (B) を参照して、このパッケージングについて、以下に説明する。

【 0 2 0 5 】

まず、新チップ 2 1 6 のパッシベーション膜 2 2 0 上に、好ましくは、既に図 7 (B) を参照して説明した工程と同様の手順によって、絶縁膜 2 2 2 を形成するとともに、パッシベーション膜 2 2 0 から露出した回路素子接続用パッド 1 8 a' 、 1 8 b' 、 1 8 e 、 及び 1 8 f の頂面の上側に、この頂面から絶縁膜 2 2 2 を貫いて、この絶縁膜 2 2 2 の上面に達する開口部 2 0 0 0 a を形成する (図 2 0 (A) 及び図 2 1 (A)) 。従って、図 2 0 (A) 及び図 2 1 (A) に示すように、この開口部 2 0 0 0 a によって、各回路素子接続用パッド 1 8 a' 、 1 8 b' 、 1 8 e 、 及び 1 8 f の頂面的一部分がそれぞれ露出される。

【 0 2 0 6 】

また、この開口部 2 0 0 0 a の形成とともに、パッシベーション膜 2 2 0 から露出した、第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b のそれぞれ頂面の上側、及び第 1 及び第 2 インダクタ接続用パッド 2 1 8 c 及び 2 1 8 d のそれぞれの頂面の上側に、この頂面から絶縁膜 2 2 2 を貫いて、この絶縁膜 2 2 2 の上面に達する開口部 2 0 0 0 b も形成される (図 2 0 (A)) 。従って、図 2 0 (A) に示すように、この開口部 2 0 0 0 b によって、第 1 及び第 2 キャパシタ接続用パッド 2 1 8 a 及び 2 1 8 b の頂面的一部分と、第 1 及び第 2 インダクタ接続用パッド 2 1 8 c 及び 2 1 8 d の頂面的一部分が、それぞれ露出される。

【 0 2 0 7 】

尚、前述した絶縁膜 2 2 2 の材料及び膜厚は、既に図 7 (B) を参照して説明した工程において形成される、第 1 絶縁膜 1 2 2 a と同様の材料及び膜厚とするのが好ましい。

【 0 2 0 8 】

次に行われる工程について、図 2 0 (B) 及び図 2 1 (B) を参照して説明する。この工程は、既に図 8 (A) を参照して説明した工程と同様の手順によって

行われるのが望ましい。但し、ここでは、好ましくは、図 8 (A) を参照して説明した工程の手順によるエッチングは行わない。

【 0 2 0 9 】

その結果、絶縁膜 2 2 2 上には、開口部 2 0 0 0 a と開口部 2 0 0 0 b とを埋め込む金属膜が設けられる。この金属膜は、好ましくは、図 8 (A) を参照して説明した工程で用いた材料と同様の材料によって構成される。尚、図 2 0 (B) 及び図 2 1 (B) において、前述した金属膜の詳細な構成については図示を省略してある。

【 0 2 1 0 】

そして、上述した金属膜の形成後、好ましくは、既に図 9 (B) を参照して説明した手順と同様の手順に従って、第 1 及び第 2 ポスト部 1 2 8 a 及び 1 2 8 b と、上部電極用ポスト部 1 2 8 b b 及びインダクタ用ポスト部 1 2 8 b c とを、それぞれ形成する。然る後、従来公知のエッチング技術により、上部電極用再配線層 2 2 4 b b 及びインダクタ用再配線層 2 2 4 b c と、上部電極用パッド 2 2 6 b b 及びインダクタ用パッド 2 2 6 b c とを形成するとともに、第 1 及び第 2 再配線層 2 2 4 a 及び 2 2 4 b と、第 1 及び第 2 ポスト用パッド 2 2 6 a 及び 2 2 6 b とを形成する (図 2 0 (B) 及び図 2 1 (B)) 。

【 0 2 1 1 】

ここで、図 2 0 (B) 及び図 2 1 (B) を参照して説明した工程が終了した時点で、図 1 9 を参照して説明した、上部電極用第 2 配線構造 2 3 0 b b 及びインダクタ用第 2 配線構造 2 3 0 b c が形成される。そして、これら上部電極用第 2 配線構造 2 3 0 b b 及びインダクタ用第 2 配線構造 2 3 0 b c の形成が終了した時点で、図 1 9 に示す下部電極用第 2 配線構造 2 3 0 b a が形成されているのが好ましい。この下部電極用第 2 配線構造 2 3 0 b a は、図 2 0 (A) 及び (B) を参照して説明した工程と同様の手順によって形成されるのが好適である。

【 0 2 1 2 】

尚、図 2 0 (B) に示すインダクタ用再配線層 2 2 4 b c において、図 2 0 (A) に示す、第 2 インダクタ接続用パッド 2 1 8 d に対向して設けられた開口部 2 0 0 0 b を埋め込んで絶縁膜 2 2 2 の表面に形成された部分を、インダクタ用

パッド 2 2 6 b c とする。

【 0 2 1 3 】

また、前述した上部電極用第 2 配線構造 2 3 0 b b 及びインダクタ用第 2 配線構造 2 3 0 b c の形成が終了した時点で、図 2 0 (B) において、図 1 9 を参照して説明した構成を有する、第 1 配線構造 2 3 0 a も形成されているのが望ましい。

【 0 2 1 4 】

さらに、図 2 1 (B) に示す構成によれば、図 1 7 を参照して説明した、第 1 再配線層 2 2 4 a 及び第 2 再配線層 2 2 4 b が形成されている。そして、第 1 再配線層 2 2 4 a の一部を第 1 ポスト用パッド 2 2 6 a とし、第 2 再配線層 2 2 4 b の一部を第 2 ポスト用パッド 2 2 6 b とするのが好ましい。すなわち、図 2 0 (B) 及び図 2 1 (B) を参照して説明した工程が終了した時点で、第 1 配線構造 2 3 0 a 及び第 2 配線構造 2 3 0 b が形成される。

【 0 2 1 5 】

ここで、下部電極用第 2 配線構造 2 3 0 b a 、上部電極用第 2 配線構造 2 3 0 b b 、及びインダクタ用第 2 配線構造 2 3 0 b c のそれぞれにおける再配線層は、膜厚が 5 μ m 程度であるのが好ましい。また、第 1 配線構造 2 3 0 a 及び第 2 配線構造 2 3 0 b のそれぞれにおける再配線層の膜厚も、5 μ m 程度であるのが好適である。

【 0 2 1 6 】

ところで、図 2 0 (B) 及び図 2 1 (B) を参照して説明した工程の後、図 1 1 及び図 1 2 を参照して説明した工程と同様の工程によって、図 1 7 及び図 1 9 にそれぞれ示す半導体装置 2 0 0 を形成するのが好ましい。この時点で、この実施の形態における W C S P 構造のパッケージングが終了する。

【 0 2 1 7 】

その後、好ましくは、既に第 1 の実施の形態の製造方法で説明した手順と同様の手順によって、ダイシングを行う。このダイシングを終了した後、この実施の形態の製造方法における工程が終了される。

【 0 2 1 8 】

以上説明したようなこの実施の形態の製造方法によれば、既に説明した第 1 の実施の形態の半導体装置 1 0 0 の製造方法と同様の作用及び効果を得ることができ。さらに、既に説明したように、第 1 の実施の形態の半導体装置 1 0 0 が有する各配線構造の構成と比較して、この実施の形態の半導体装置 2 0 0 が有する各配線構造の構成は簡略化されているため、これら配線構造を製造する工程も、第 1 の実施の形態の製造方法と比較して簡略化することができる。

【 0 2 1 9 】

〔第 3 の実施の形態〕

この発明の半導体装置の第 3 の実施の形態について説明する。まず、この実施の形態の半導体装置における、新チップの構成について説明する。

【 0 2 2 0 】

図 2 2 には、この実施の形態の新チップ 3 1 6 の上方から見た、当該新チップ 3 1 6 の各構成要素の配置関係を示してある。この実施の形態の新チップ 3 1 6 は、第 2 の実施の形態で説明した新チップ 2 1 6 において、受動素子であるインダクタ 2 0 6 及びキャパシタ 2 0 8 を第 2 領域 1 0 4 にアレイ状に形成してある。これら、アレイ状に配置される、インダクタ 2 0 6 及びキャパシタ 2 0 8 のそれぞれの個数及び配置の順序は当業者が決めうる設計事項である。よって、アレイ状に配置されるインダクタ 2 0 6 及びキャパシタ 2 0 8 の構成は、図 2 2 に示される構成に限定されない。

【 0 2 2 1 】

尚、図 2 2 中、既に図 1 3 及び第 2 の実施の形態で説明したインダクタ 2 0 6 及びキャパシタ 2 0 8 等の各構成について、重複する説明は省略する。

【 0 2 2 2 】

そして、この実施の形態の半導体装置は、図 2 2 に示すような構成を有する新チップ 3 1 6 に対して、第 2 の実施の形態で説明した構造と同様の構造である、WCSP 構造のパッケージングを施してあるのが好ましい。すなわち、この実施の形態の半導体装置は、図 1 6 を参照して説明した、第 2 の実施の形態の半導体装置 2 0 0 と同様の構成を有する。そして、この実施の形態の半導体装置の回路素子接続用パッド 1 8、及び第 2 領域 1 0 4 に形成されたインダクタ 2 0 6 とキ

ャパシタ 2 0 8 に対して形成される各配線構造の構成は、図 1 7 ～ 図 1 9 を参照して説明した構成と同様であるのが望ましい。尚、この実施の形態の半導体装置の構成について、図 1 6 ～ 図 1 9 を参照して行った説明と重複する説明は省略する。

【 0 2 2 3 】

よって、以上説明したこの実施の形態の半導体装置の構成によれば、既に説明した第 2 の実施の形態と同様の作用及び効果を得ることが出来る。また、この実施の形態の半導体装置では、アレイ状に配置されたインダクタ 2 0 6 及びキャパシタ 2 0 8 によって構成される受動素子のうち、所望の受動素子を選択して、図 1 6 及び図 1 9 を参照して説明したようにして、この受動素子と電氣的に接続される各配線構造を形成する。従って、この実施の形態によれば、第 2 の実施の形態の半導体装置 2 0 0 と比較して、受動素子に対する各配線構造を形成する際の自由度は増加する。

【 0 2 2 4 】

ところで、以上説明したような構成を有する、この実施の形態の半導体装置は、第 2 の実施の形態で説明した半導体装置 2 0 0 の製造方法と同様の手順によって製造されるのが好ましい。よって、既に説明した第 2 の実施の形態の半導体装置 2 0 0 の製造方法と同様の手順について、重複する説明は省略する。

【 0 2 2 5 】

ここで、図 2 2 を参照して説明した新チップ 3 1 6 の構成は、第 2 の実施の形態の新チップ 2 1 6 と同様の構成を有している。そして、この新チップ 3 1 6 における受動素子は、第 2 の実施の形態で説明した手順と同様の手順、すなわち、従来公知の MEMS 技術によって形成されるのが好適である。

この従来公知の MEMS 技術では、好ましくは、第 2 領域 1 0 4 に形成される受動素子の構成と対応した構成を有するマスクを用いる。そして、このマスクを、新チップ 3 1 6 の第 2 領域 1 0 4 に対して受動素子を形成するためにのみ用いるマスクとし、第 1 領域 1 0 2 に回路素子 1 4 を形成するために用いるマスクを別途用意するのが好ましい。このように、第 1 領域 1 0 2 及び第 2 領域 1 0 4 に

対して用いるマスクをそれぞれ用意して、半導体ウェハ上に新チップ 3 1 6 を形成すれば、回路素子 1 4 の構成が異なった新チップ 3 1 6 を製造する際も、第 2 領域 1 0 4 に対して、共通のマスクを使用することができる。その結果、新チップ 3 1 6 を製造する際に用いるマスクに費やすコストを削減出来る。よって、上述したようなこの実施の形態の半導体装置の製造方法によれば、第 2 の実施の形態の半導体装置 2 0 0 の製造方法と比較して、製造コストを更に削減することができる。

【 0 2 2 6 】

尚、以上説明したこの実施の形態の半導体装置 2 0 0 の製造方法によれば、各配線構造における各ポスト部、各再配線層、及び各パッドの形成は、同時に行ってもよいし、別々に行ってもよい。また、上述したこの実施の形態の半導体装置 2 0 0 の製造方法における各外部端子の形成も、同時に行ってもよいし、別々に行ってもよい。

【 0 2 2 7 】

【発明の効果】

この発明の半導体装置によれば、第 1 領域と同等のサイズの実装面に複数の第 1 外部端子が配置され、かつ第 2 領域と同等のサイズの実装面に複数の第 2 外部端子が配置されている。よって、第 1 領域及び第 2 領域のサイズ、すなわち半導体基板の表面サイズが、この発明の半導体装置の実装面サイズと等しくなる。

【 0 2 2 8 】

この発明の半導体装置において多ピン化を行うにあたり、第 1 領域と同等のサイズの実装面に第 1 外部端子を複数個配置するだけでは目的とするピン数を達成するのが困難である場合でも、第 2 領域に対して第 2 外部端子を複数個配置することができる。すなわち、この発明の半導体装置において、第 2 領域は、実装面サイズが目的とするピン数が達成できるようなサイズとなるように、第 1 領域に対して設けられている。

【 0 2 2 9 】

そして、複数の第 1 外部端子は、第 1 個数の回路素子接続用パッドと、電氣的に個別に、ファンイン方式の複数の第 1 配線構造によって接続され、かつ複数の

第2外部端子は、第2個数の回路素子接続用パッドと、ファンアウト方式の複数の第2配線構造によって、電氣的に個別に接続されている。

【0230】

従って、この発明の半導体装置によれば、回路素子そのものの設計を変えることなく、この回路素子形成領域である第1領域に対して第2領域を設けることによって、実装面サイズを所望のサイズとすることができる。そして、このようなサイズの実装面に対して、複数の第1及び第2外部端子を、上述したように設けることによって、目的とするピン数を実装面において達成することができ、その結果、多ピン化を実現することができる。

【0231】

また、以上説明したような構成を有するこの発明の半導体装置によれば、実装面サイズを所望のサイズとすることができるため、第1及び第2外部端子、それぞれのピッチを、当該半導体装置を使用するユーザの要望にあわせたピッチとして、多ピン化を実現することもできる。

【0232】

さらに、この発明における半導体基板の構成によれば、半導体ウェハに形成された状態であって、かつパッケージングを行う前の状態において、スクライブラインを、半導体基板の、第1領域の外周と第2領域の外周とに対してそれぞれ設けておけば、第1領域の外周に設けられたスクライブラインに沿ってダイシングを行い、第1領域のみ、すなわち回路素子形成領域のみを、半導体ウェハから切り出すこともできる。この場合、切り出された半導体基板の第1領域を含む半導体チップに対して、上述したようなWCSP構造のパッケージ以外のパッケージを行うことも可能となる。

【0233】

さらに、この発明の半導体装置に対して、実装基板に実装される受動素子を、上述したように、当該半導体装置の第2領域上に設けることによって、実装基板に実装される搭載部品数を低減することができる。また、上述したように、この発明の半導体装置の構成によれば、第2領域上に受動素子は形成されているため、第1領域の回路素子とこの受動素子との電磁干渉を防ぐことができる。

【図面の簡単な説明】

【図 1】

この発明における、第 1 の実施の形態の半導体装置の構成例を説明するための図である。

【図 2】

(A) は、この発明における、第 1 の実施の形態の半導体ウェハの構成例を説明するための図であって、(B) は、(A) に示す半導体ウェハの一部を拡大して示した図である。

【図 3】

この発明の第 1 の実施の形態における、第 1 及び第 2 配線構造の構成例を説明するための図である。

【図 4】

図 3 に示す半導体装置を、B - B' 線に沿って切断した部分を示す断面図である。

【図 5】

(A) は、この発明の第 1 の実施の形態の受動素子の構成例を説明するための図であって、(B) は、キャパシタの構成例を説明するための図である。

【図 6】

図 5 (A) に示す半導体装置を、C - C' 線に沿って切断した部分を示す断面図である。

【図 7】

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の製造方法に供する製造工程図である。

【図 8】

(A) 及び (B) は、図 7 に続く、この発明の第 1 の実施の形態の半導体装置の製造方法に供する製造工程図である。

【図 9】

(A) 及び (B) は、図 8 に続く、この発明の第 1 の実施の形態の半導体装置の製造方法に供する製造工程図である。

【図 1 0】

(A) 及び (B) は、図 8 に続く、この発明の第 1 の実施の形態の半導体装置の製造方法に供する製造工程図である。

【図 1 1】

図 9 に続く、この発明の第 1 の実施の形態の半導体装置の製造方法に供する製造工程図である。

【図 1 2】

図 1 0 に続く、この発明の第 1 の実施の形態の半導体装置の製造方法に供する製造工程図である。

【図 1 3】

この発明の第 2 の実施の形態における、新チップの構成例を説明するための図である。

【図 1 4】

(A) は、この発明の第 2 の実施の形態における、新チップの受動素子の構成例を説明するための図であって (B) は、キャパシタの構成例を説明するための図である。

【図 1 5】

図 1 4 (A) に示す新チップを、D - D' 線に沿って切断した部分を示す断面図である。

【図 1 6】

この発明の第 2 の実施の形態の半導体装置の構成例を説明するための図である。

【図 1 7】

この発明の第 2 の実施の形態の、第 1 及び第 2 配線構造の構成例を説明するための図である。

【図 1 8】

この発明の第 2 の実施の形態の半導体装置における、受動素子の構成例を説明するための図である。

【図 1 9】

図 1 8 に示す半導体装置を、D - D' 線に沿って切断した部分を示す断面図である。

【図 2 0】

(A) 及び (B) は、この発明の第 2 の実施の形態の半導体装置の製造方法に供する製造工程図である。

【図 2 1】

(A) 及び (B) は、この発明の第 2 の実施の形態の半導体装置の製造方法に供する製造工程図である。

【図 2 2】

この発明の第 3 の実施の形態の新チップの構成例を説明するための図である。

【図 2 3】

(A) 及び (B) は、半導体装置の実装面のピン数に関する説明図である。

【符号の説明】

2 : 半導体ウェハ

1 0 0、2 0 0 : 半導体装置

1 1 2、2 1 2 : 半導体基板

1 4 : 回路素子

1 4 a : 回路素子の表面

1 8、1 8 a、1 8 b、1 8 c、1 8 d、1 8 e、1 8 f、1 8 g : 回路素子
接続用パッド

6 0 : 半導体装置の実装面

6 2 : 第 1 特性

6 4 : 第 2 特性

6 8 : 第 3 特性

7 0 : 第 4 特性

1 0 2 : 第 1 領域

1 0 4 : 第 2 領域

1 0 6、2 0 6 : インダクタ

1 0 8、2 0 8 : キャパシタ

- 1 0 8 a、2 0 8 a : キャパシタの下部電極
- 1 0 8 b、2 0 8 b : キャパシタの高誘電体膜
- 1 0 8 c、2 0 8 c : キャパシタの上部電極
- 1 1 6、2 1 6、3 1 6 : 新チップ (新チップ用構造体)
- 1 2 0、2 2 0 : パッシベーション膜
- 1 2 2、2 2 2 : 絶縁膜
- 1 2 2 a : 第 1 絶縁膜
- 1 2 2 b : 第 2 絶縁膜
- 1 2 4 a、2 2 4 a : 第 1 再配線層
- 1 2 4 b、2 2 4 b : 第 2 再配線層
- 1 2 4 b a、2 2 4 b a : 下部電極用再配線層
- 1 2 4 b b、2 2 4 b b : 上部電極用再配線層
- 1 2 4 b c、2 2 4 b c : インダクタ用再配線層
- 1 2 5、2 1 7、2 6 0、2 6 1 : 配線パターン
- 1 2 6 a、2 2 6 a : 第 1 ポスト用パッド
- 1 2 6 b、2 2 6 b : 第 2 ポスト用パッド
- 1 2 6 b a、2 2 6 b a : 下部電極用パッド
- 1 2 6 b b、2 2 6 b b : 上部電極用パッド
- 1 2 6 b c、2 2 6 b c : インダクタ用パッド
- 1 2 8 a : 第 1 ポスト部
- 1 2 8 b : 第 2 ポスト部
- 1 2 8 b a : 下部電極用ポスト部
- 1 2 8 b b : 上部電極用ポスト部
- 1 2 8 b c : インダクタ用ポスト部
- 1 3 0 a、2 3 0 a : 第 1 配線構造
- 1 3 0 b、2 3 0 b : 第 2 配線構造
- 1 3 0 b a、2 3 0 b a : 下部電極用第 2 配線構造
- 1 3 0 b b、2 3 0 b b : 上部電極用第 2 配線構造
- 1 3 0 b c、2 3 0 b c : インダクタ用第 2 配線構造

1 3 2 : 外部端子

1 3 2 a : 第 1 外部端子

1 3 2 b : 第 2 外部端子

1 3 4 : 封止部

1 4 0 : 溝

2 1 8 a : 第 1 キャパシタ接続用パッド

2 1 8 b : 第 2 キャパシタ接続用パッド

2 1 8 c : 第 1 インダクタ接続用パッド

2 1 8 d : 第 2 インダクタ接続用パッド

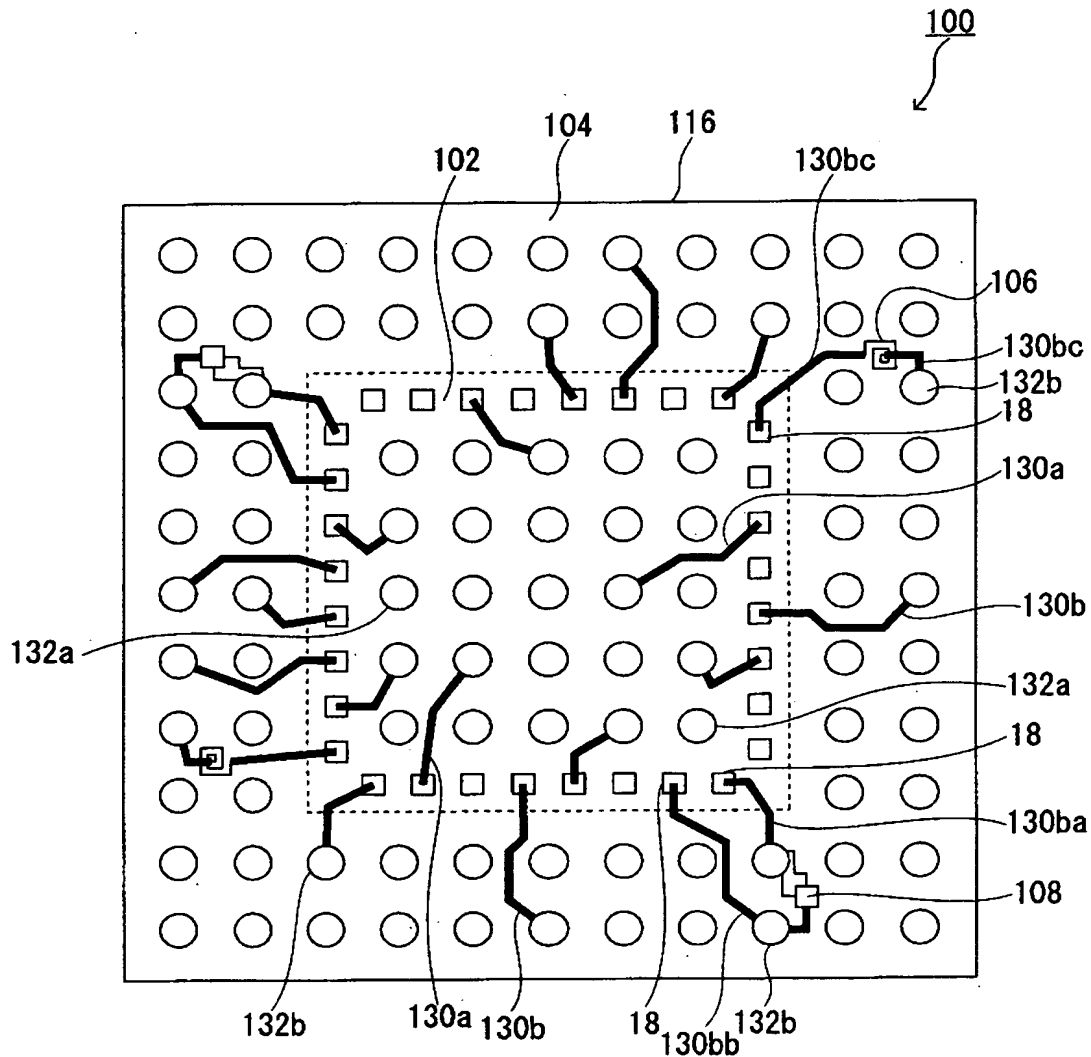
2 3 2 b a : 下部電極用第 2 外部端子

2 3 2 b b : 上部電極用第 2 外部端子

6 0 0、9 0 0 a、9 0 0 b、1 0 0 0、2 0 0 0 a、2 0 0 0 b : 開口部

【書類名】 図面

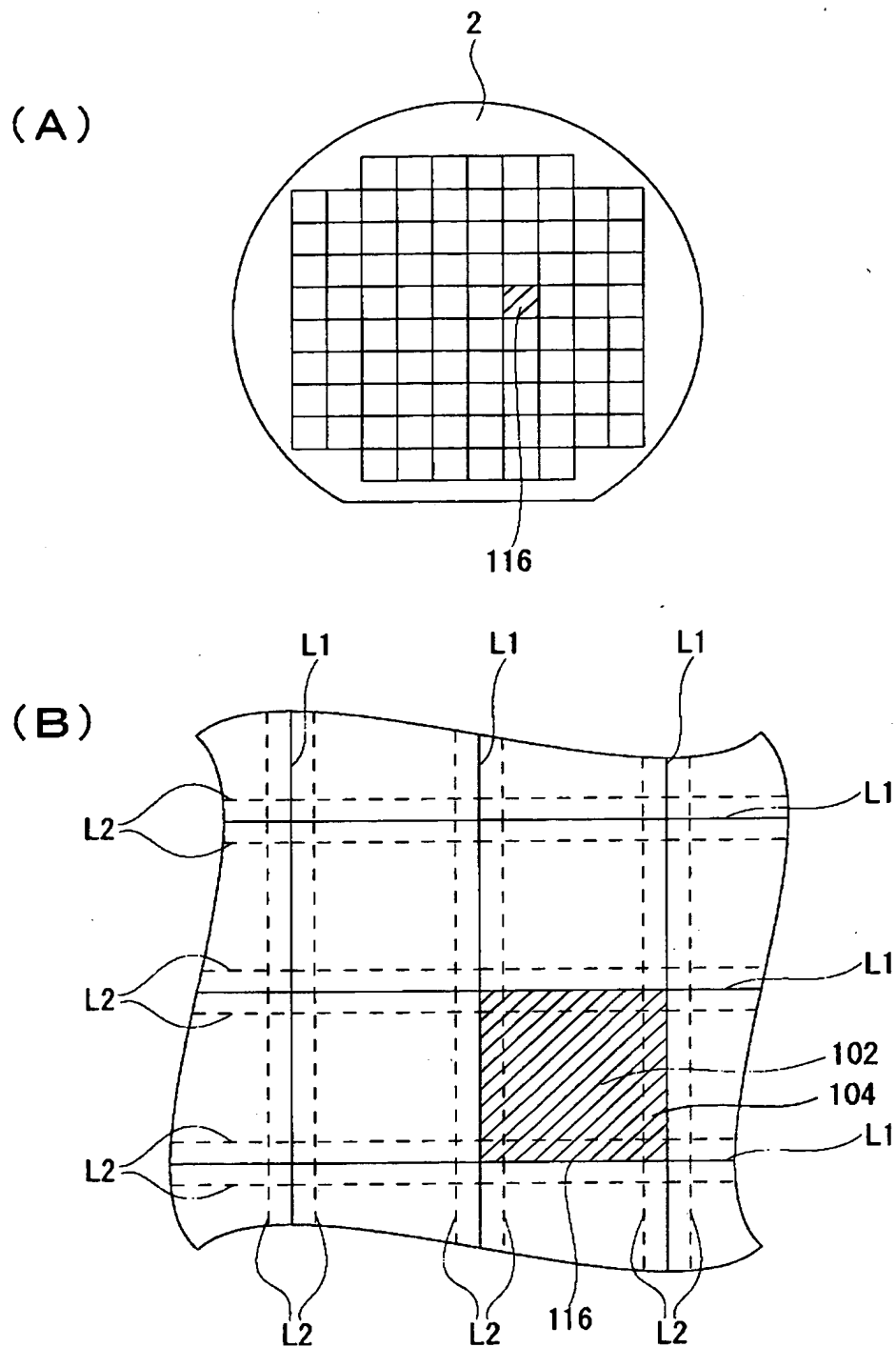
【図 1】



- | | | |
|-----------------------|------------------------|-----------------------|
| 18 : 回路素子接続用パッド | 100 : 半導体装置 | 102 : 第 1 領域 |
| 104 : 第 2 領域 | 106 : インダクタ | 108 : キャパシタ |
| 130a : 第 1 配線構造 | 130b : 第 2 配線構造 | 130ba : 下部電極用第 2 配線構造 |
| 130bb : 上部電極用第 2 配線構造 | 130bc : インダクタ用第 2 配線構造 | |
| 132a : 第 1 外部端子 | 132b : 第 2 外部端子 | |

第 1 の実施の形態の構成例（その 1）

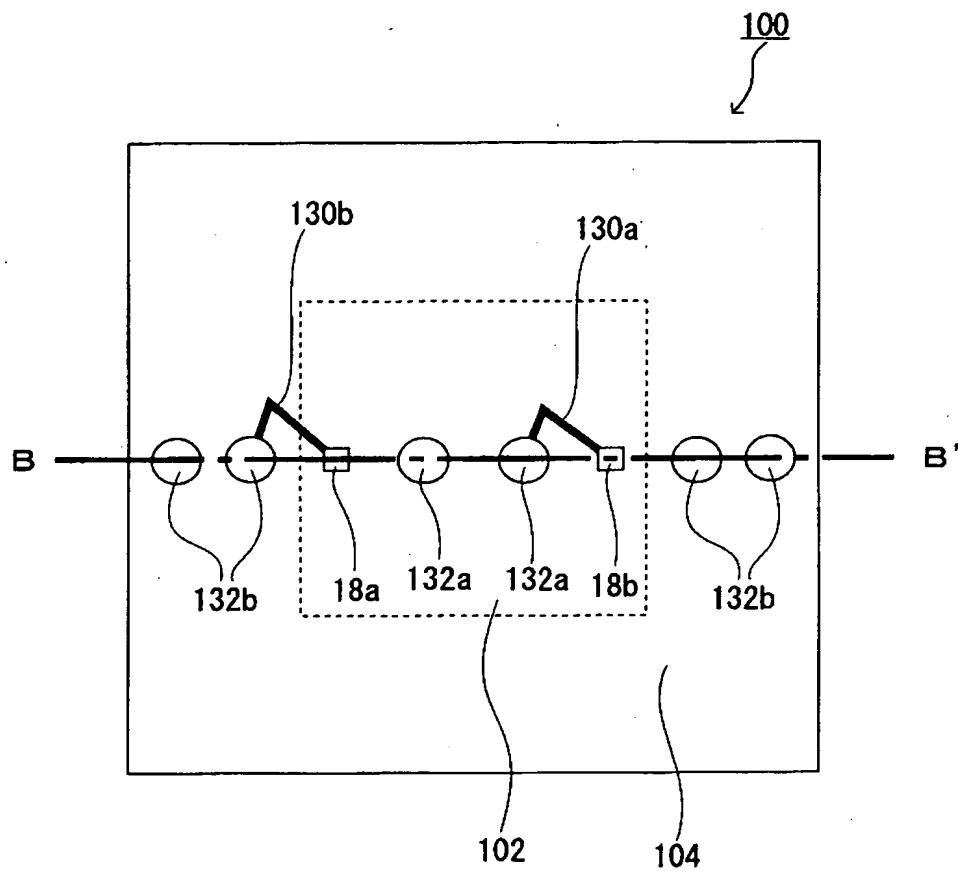
【図 2】



2: 半導体ウェハ 116: 新チップ用構造体（新チップ）

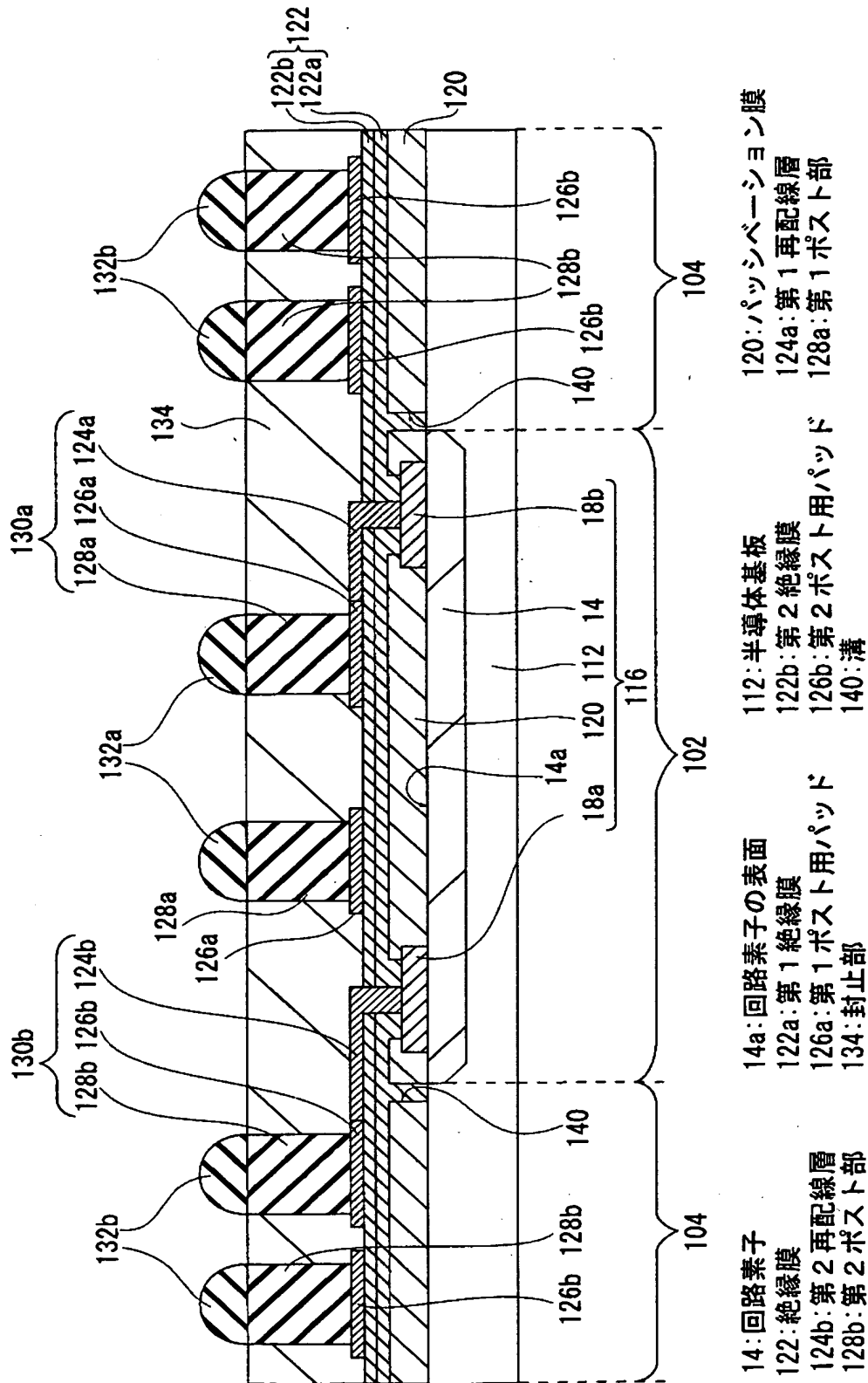
第 1 の実施の形態による半導体チップの構成例

【図 3】



第 1 の実施の形態の第 1 及び第 2 配線構造の構成例（その 1）

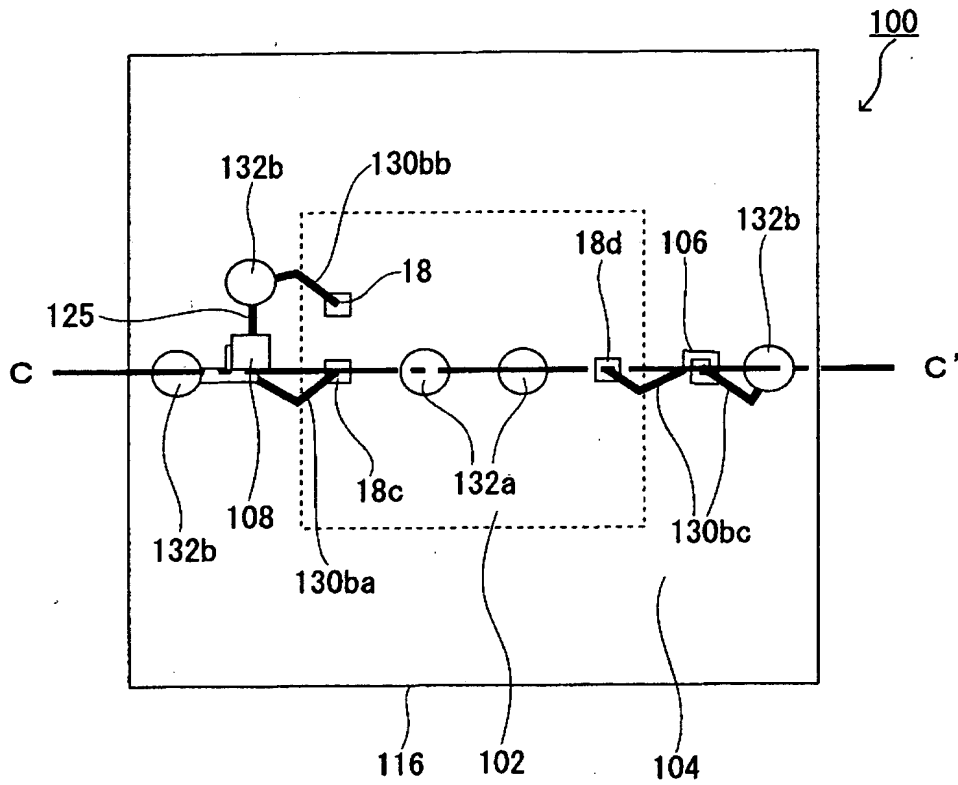
【図 4】



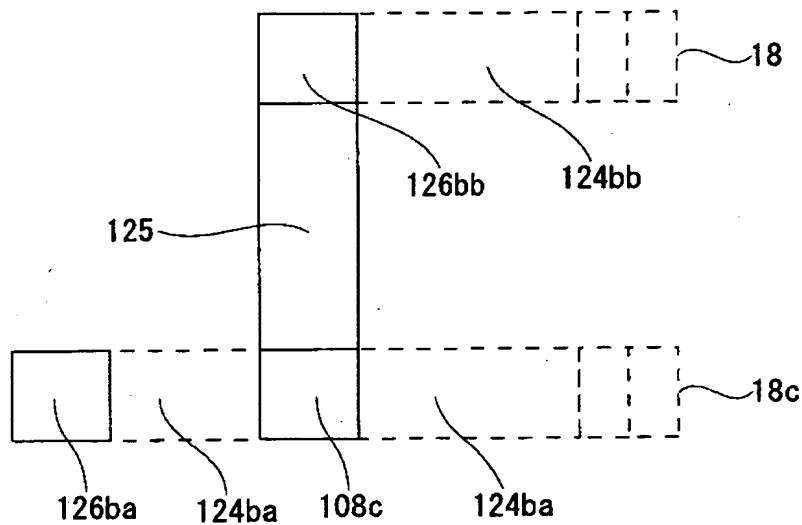
第1の実施の形態の第1及び第2配線構造の構成例（その2）

【図 5】

(A)



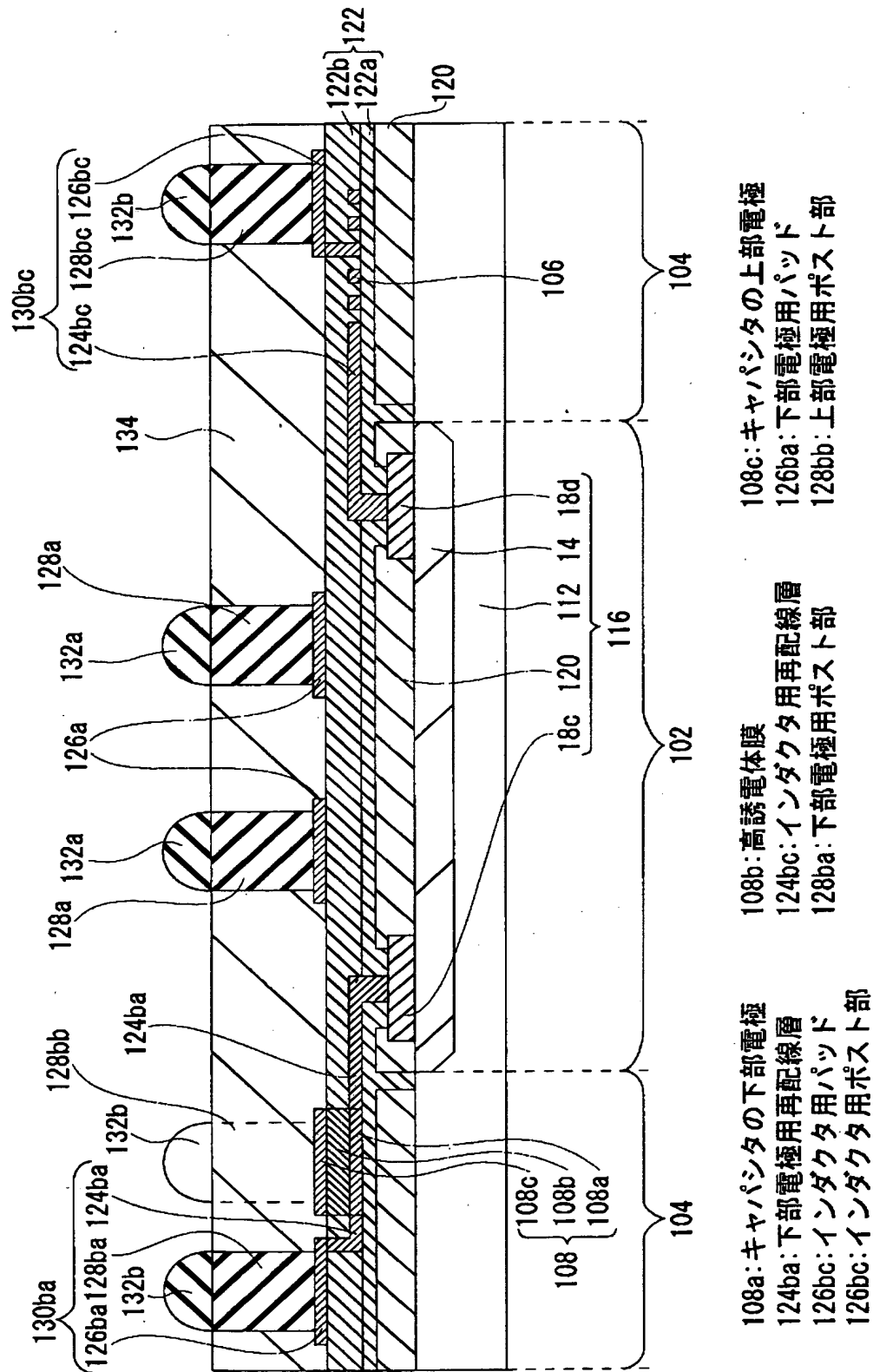
(B)



125:配線パターン

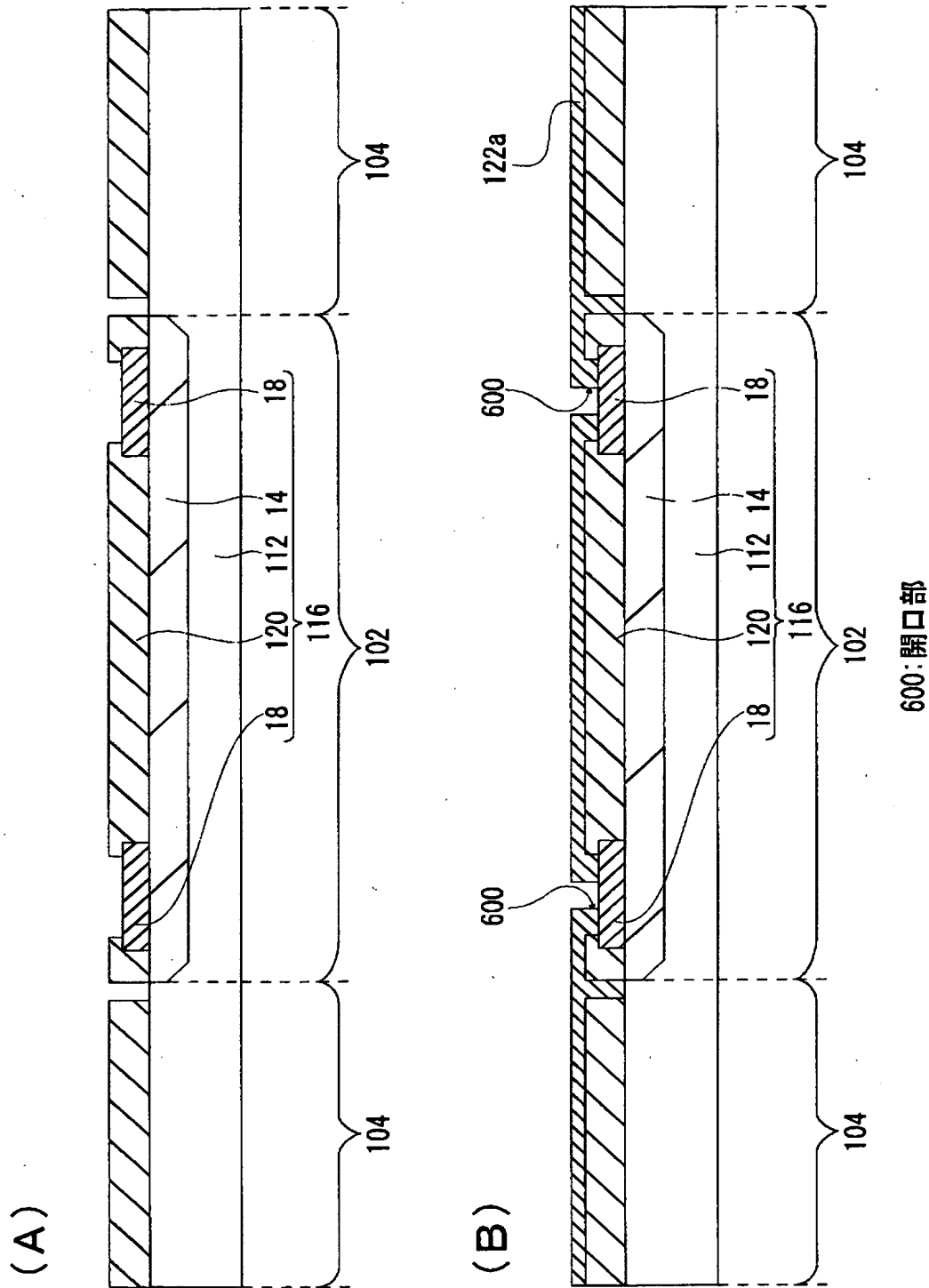
第 1 の実施の形態の受動素子の構成例 (その 1)

【图 6】



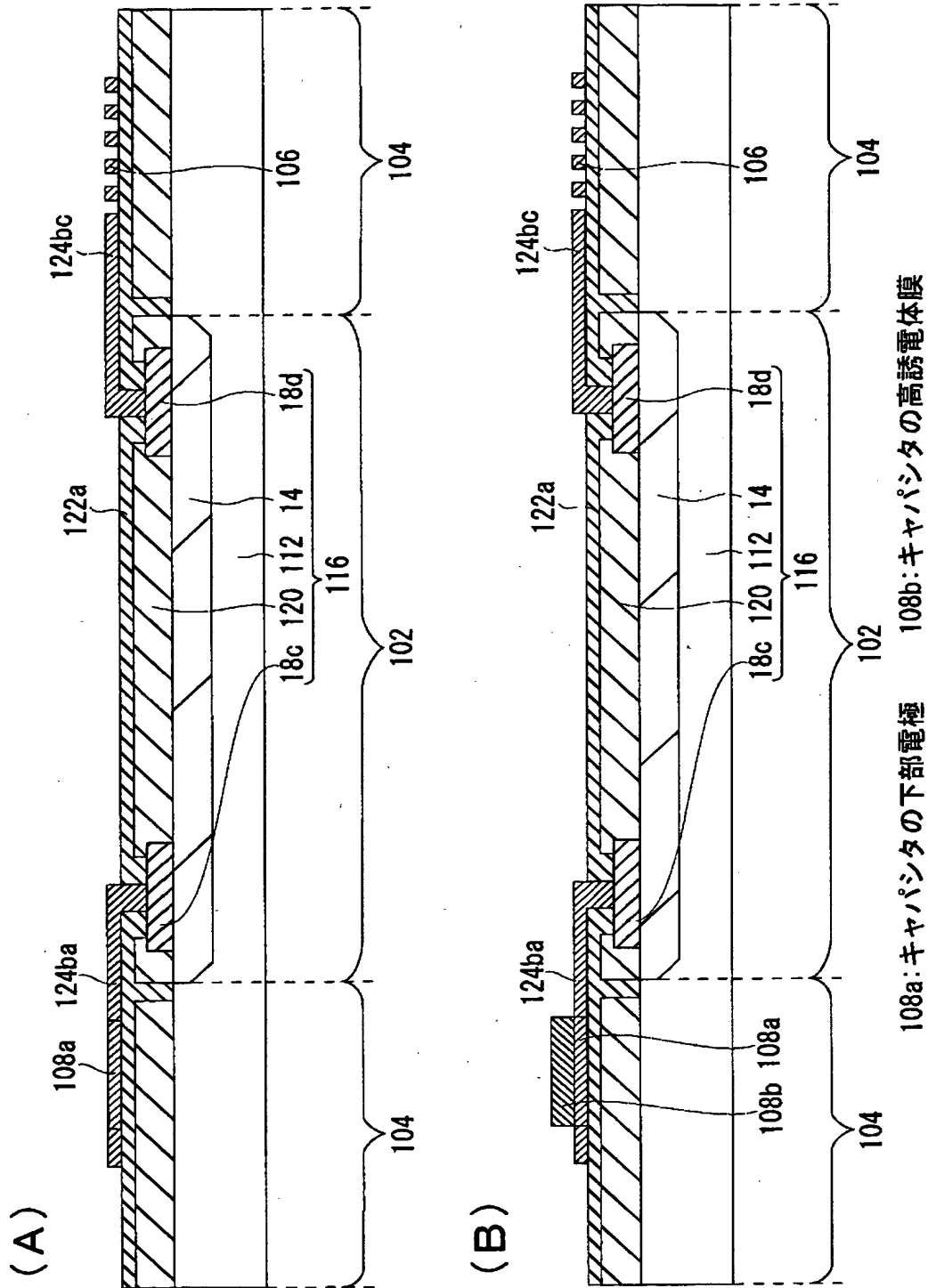
第1の実施の形態の受動素子の構成例（その2）

【図 7】



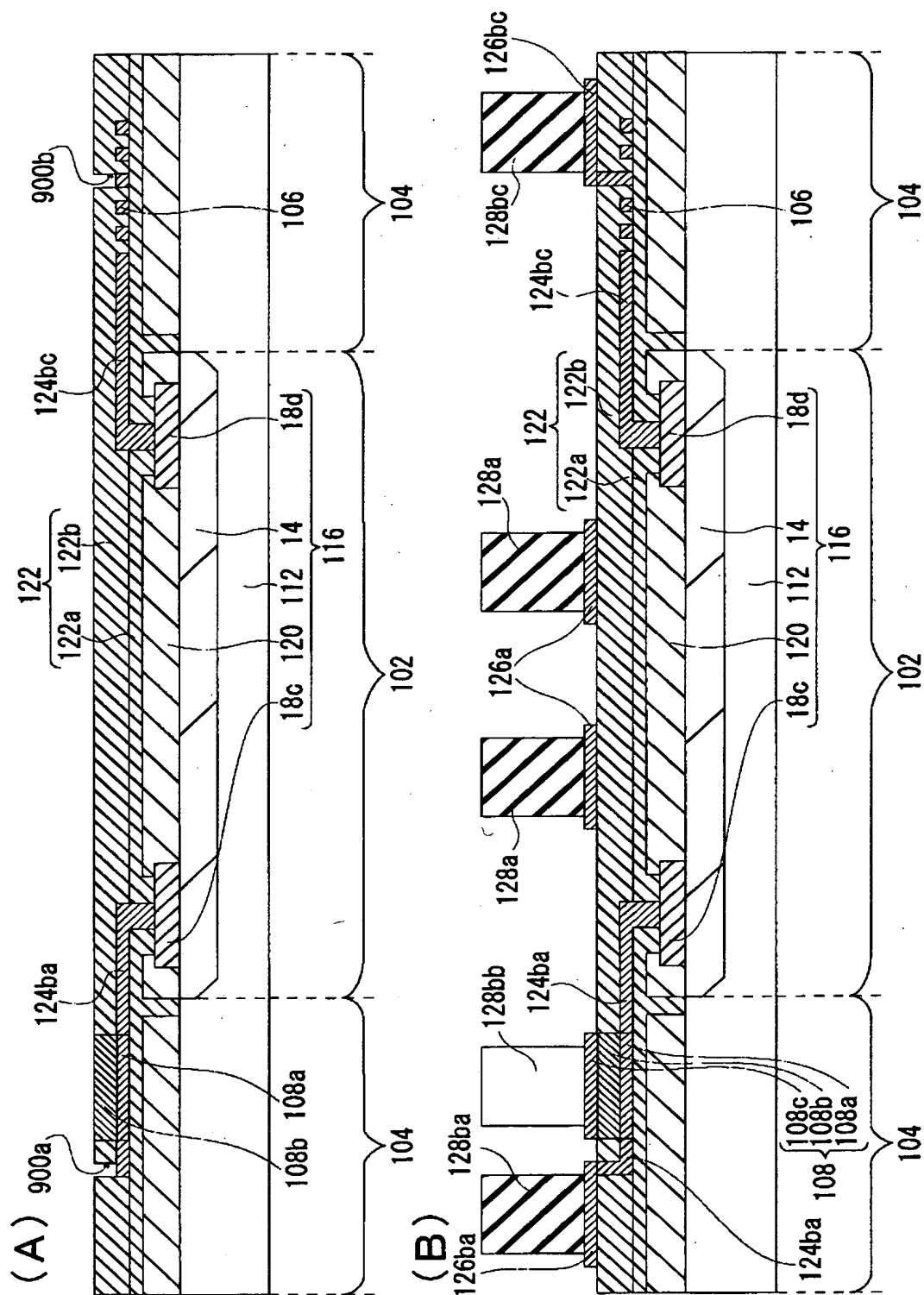
第 1 の実施の形態の製造工程図 (その 1)

【図 8】



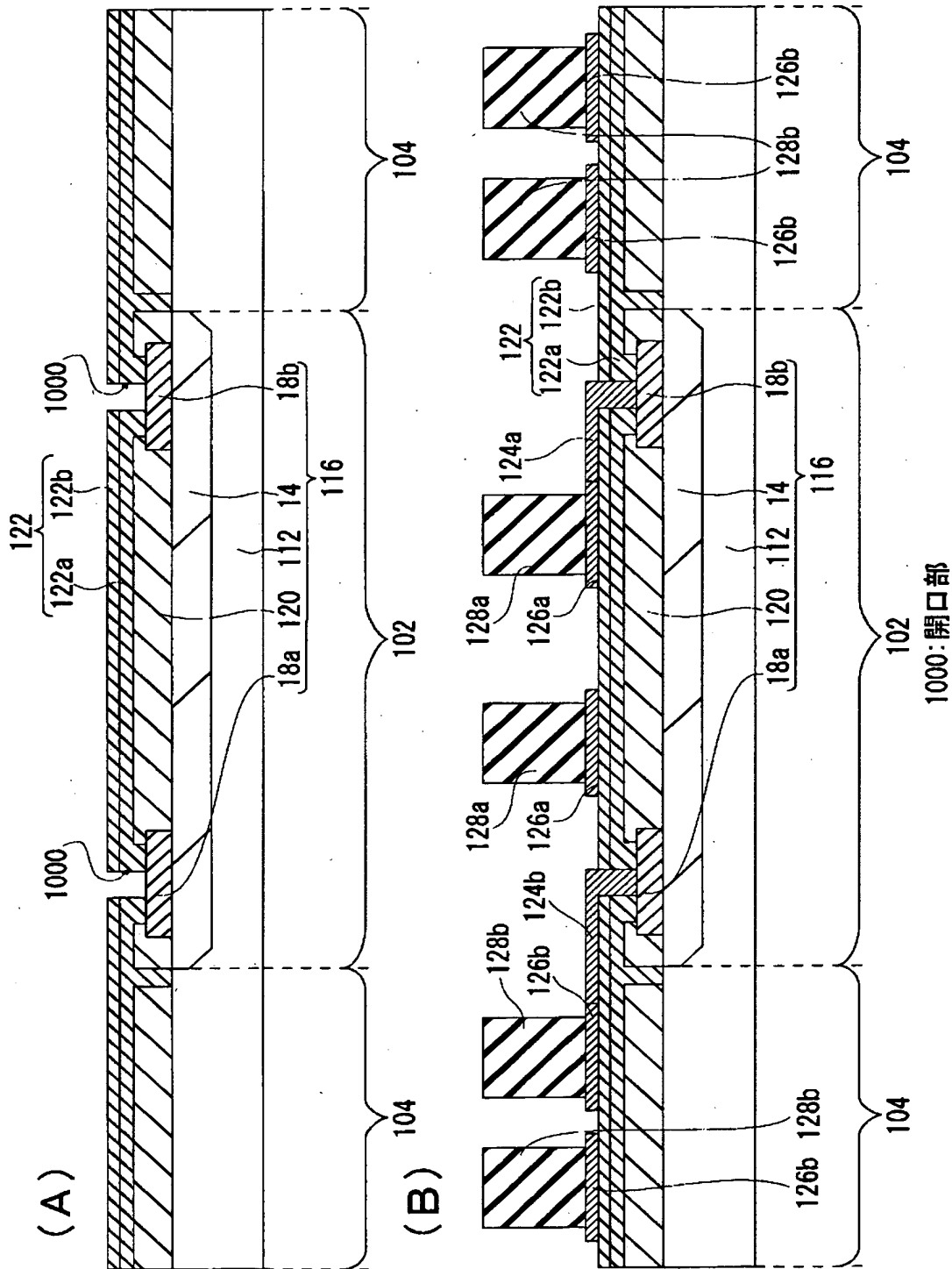
第 1 の実施の形態の形態の製造工程図 (その 2)

【図 9】



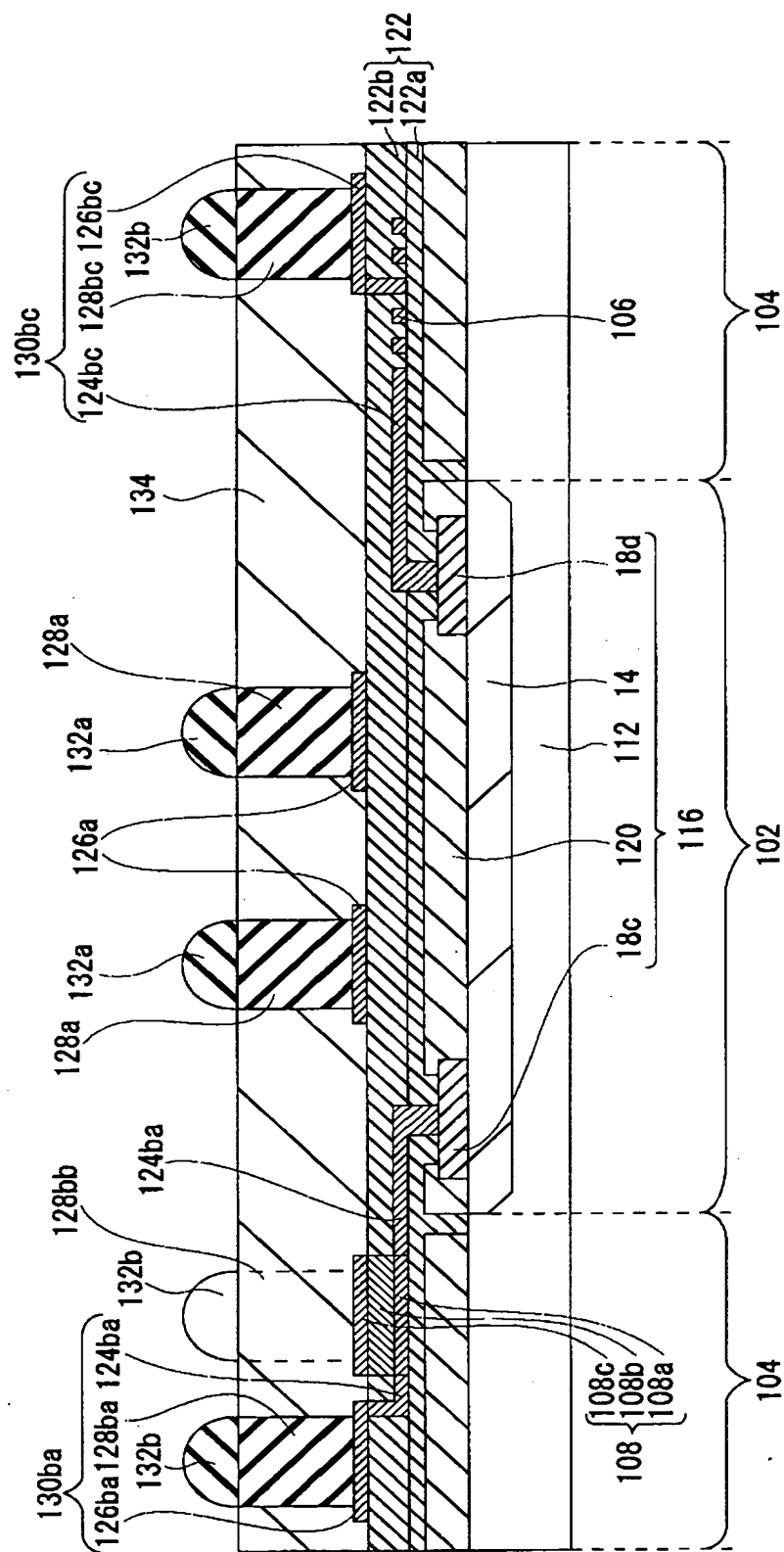
第1の実施の形態の製造工程図（その3）

【図 10】



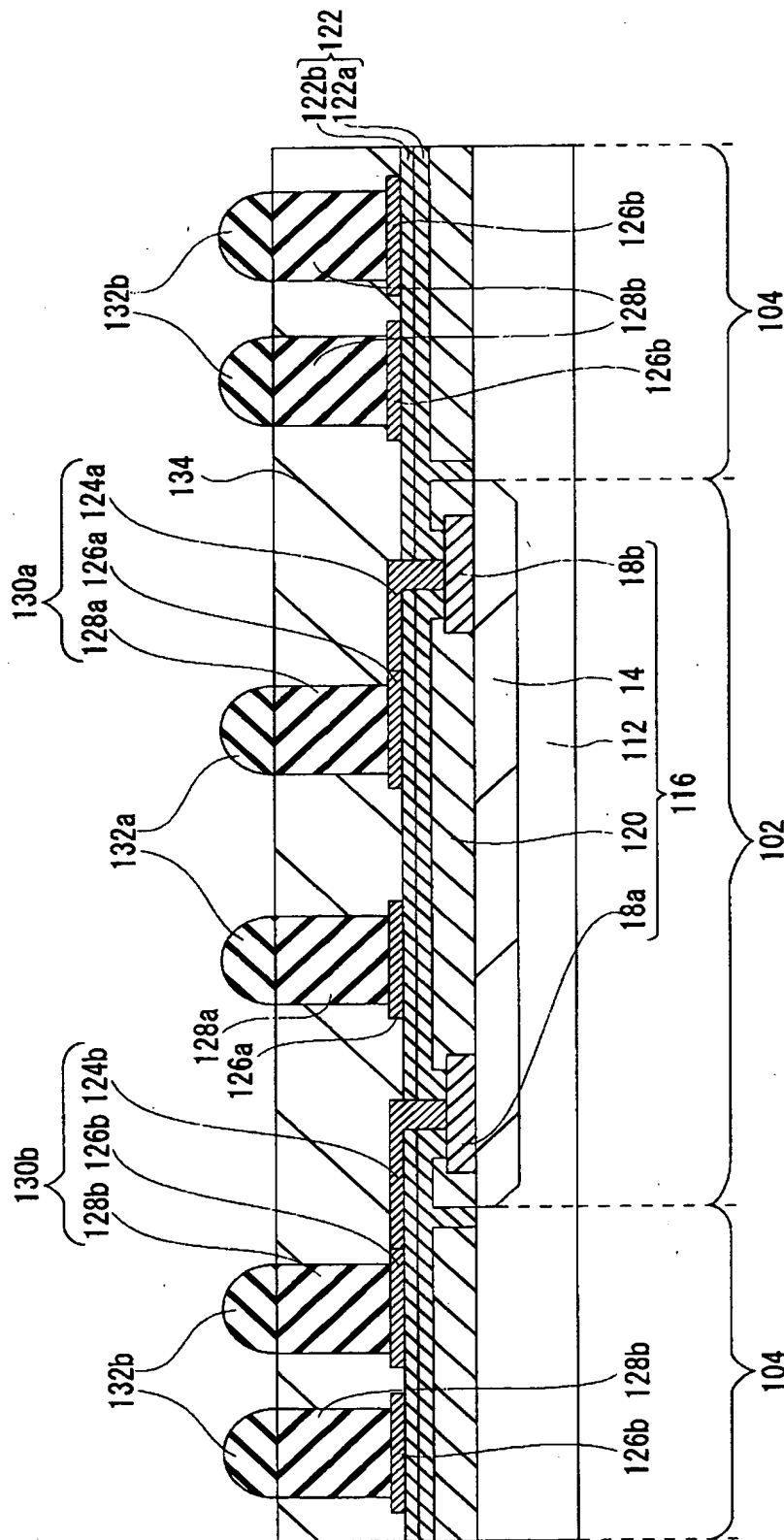
第 1 の実施の形態の製造工程図 (その 4)

【图 1 1】



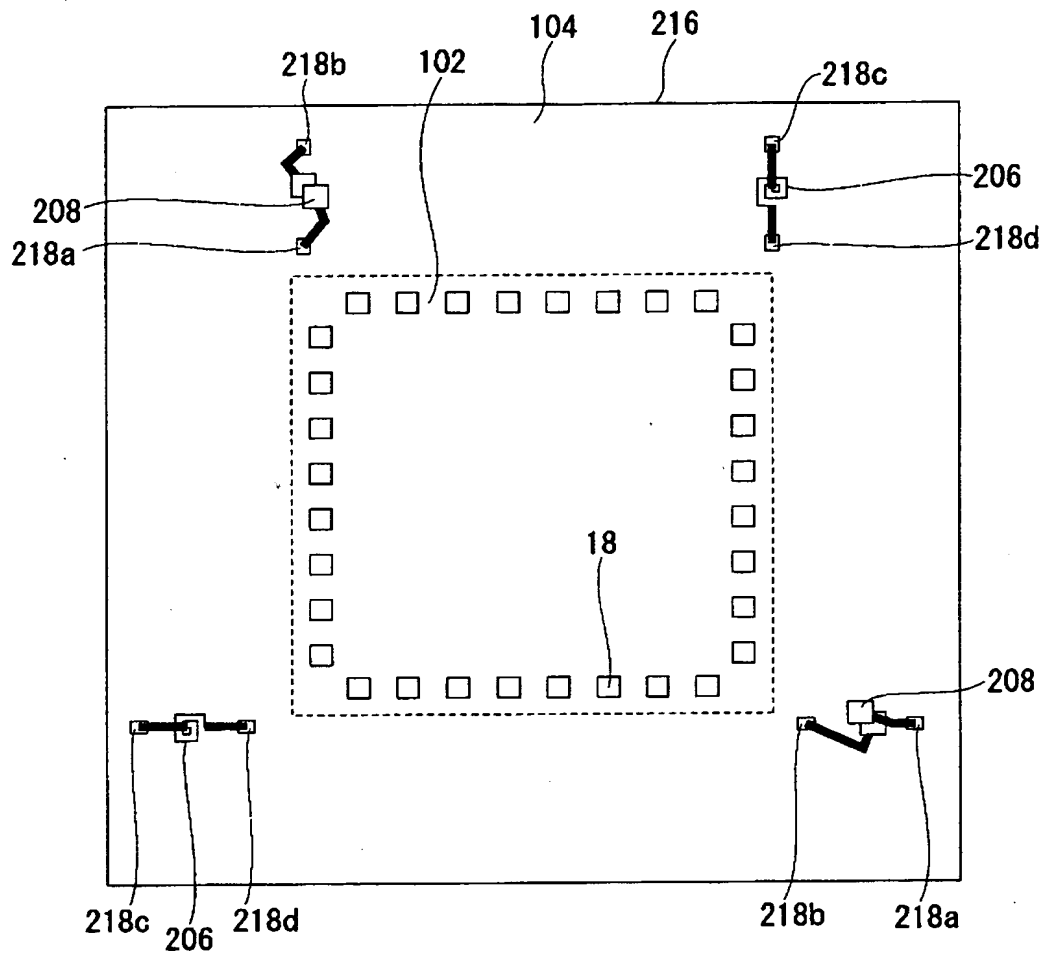
第1の実施の形態の製造工程図（その5）

【図 12】



第1の実施の形態の製造工程図（その6）

【図 1 3】

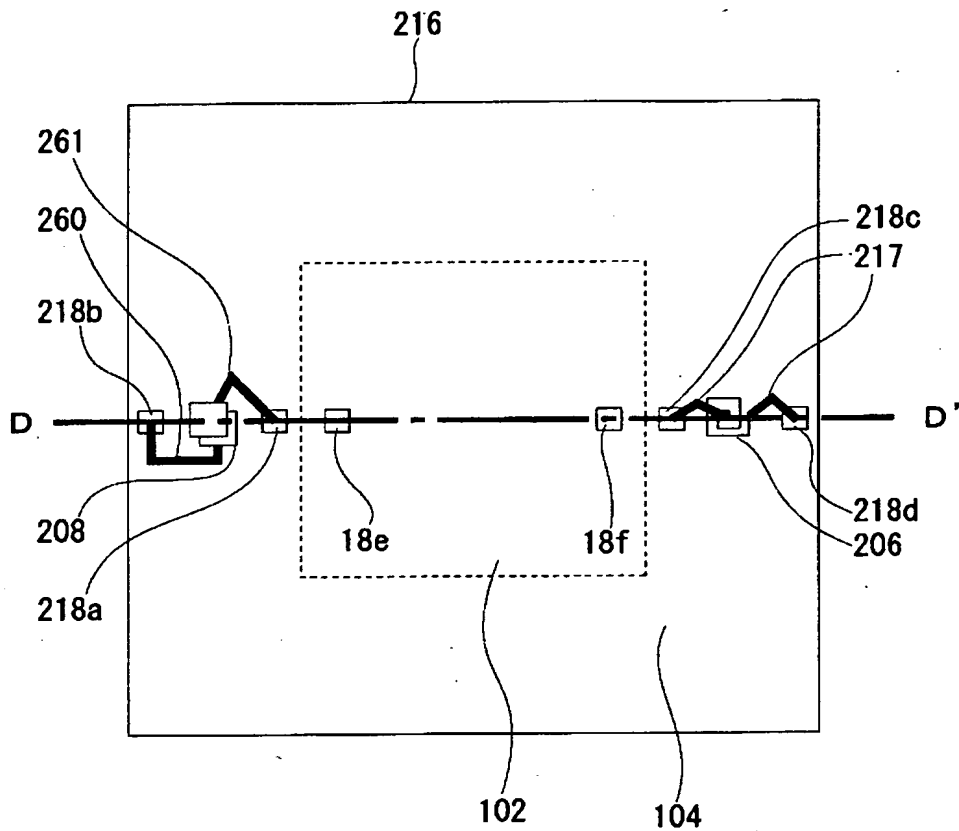


206: インダクタ 208: キャパシタ 216: 新チップ
 218a: 第 1 キャパシタ接続用パッド
 218b: 第 2 キャパシタ接続用パッド
 218c: 第 1 インダクタ接続用パッド
 218d: 第 2 インダクタ接続用パッド

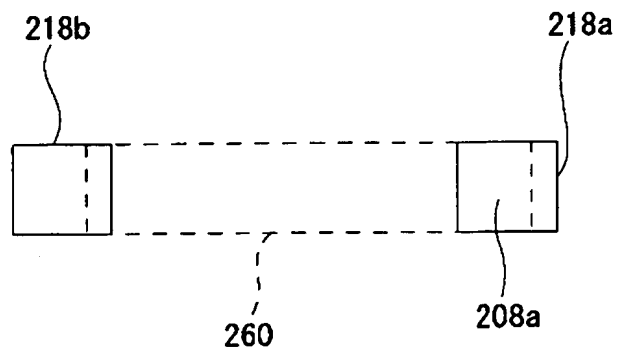
第 2 の実施の形態の新チップの構成例（その 1）

【図 1 4】

(A)



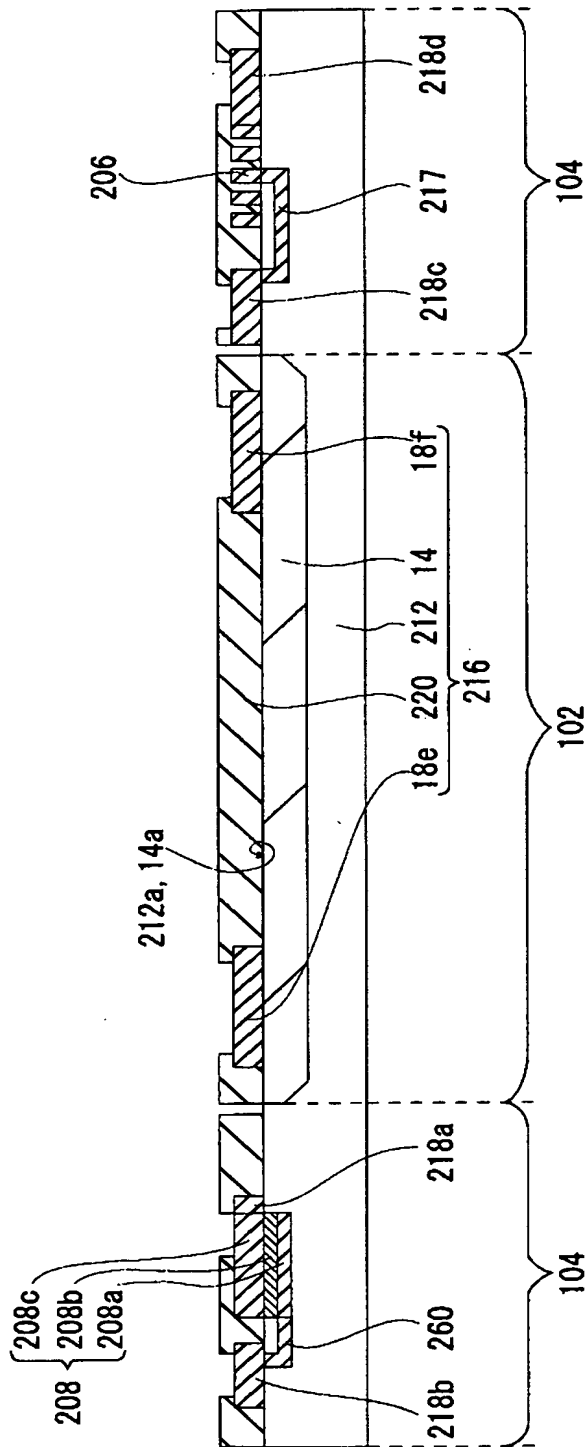
(B)



18e, 18f: 回路素子接続用パッド 217, 260, 261: 配線パターン

第 2 の実施の形態の新チップの構成例（その 2）

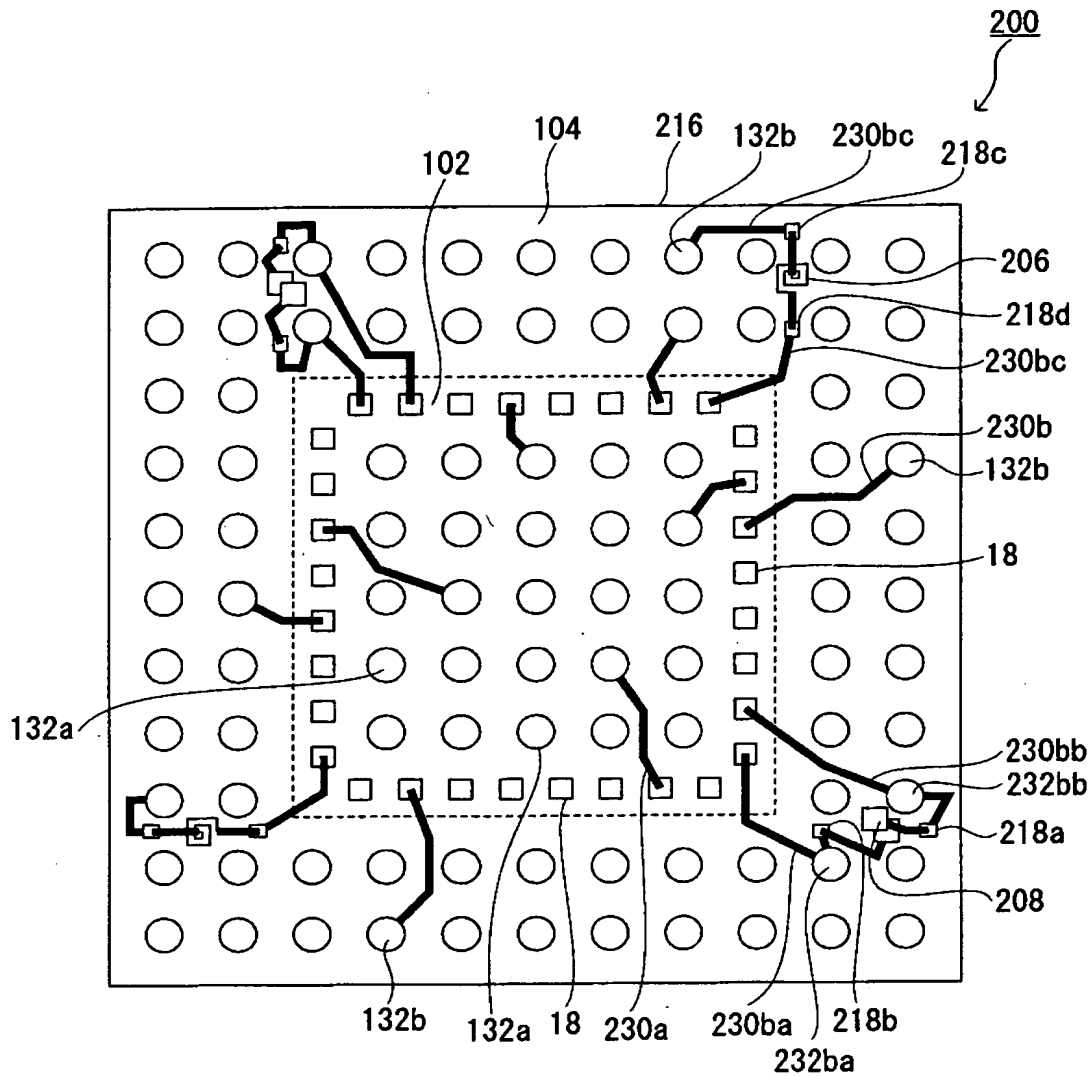
【図 15】



208a: キャパシタの下部電極 208b: 高誘電体膜 208c: キャパシタの上部電極
212: 半導体基板 212a: 半導体基板の主表面 220: パッシベーション膜

第2の実施の形態の新チップの構成例（その3）

【図 1 6】



200: 半導体装置

230b: 第 2 配線構造

230bb: 上部電極用第 2 配線構造

232ba: 下部電極用第 2 外部端子

230a: 第 1 配線構造

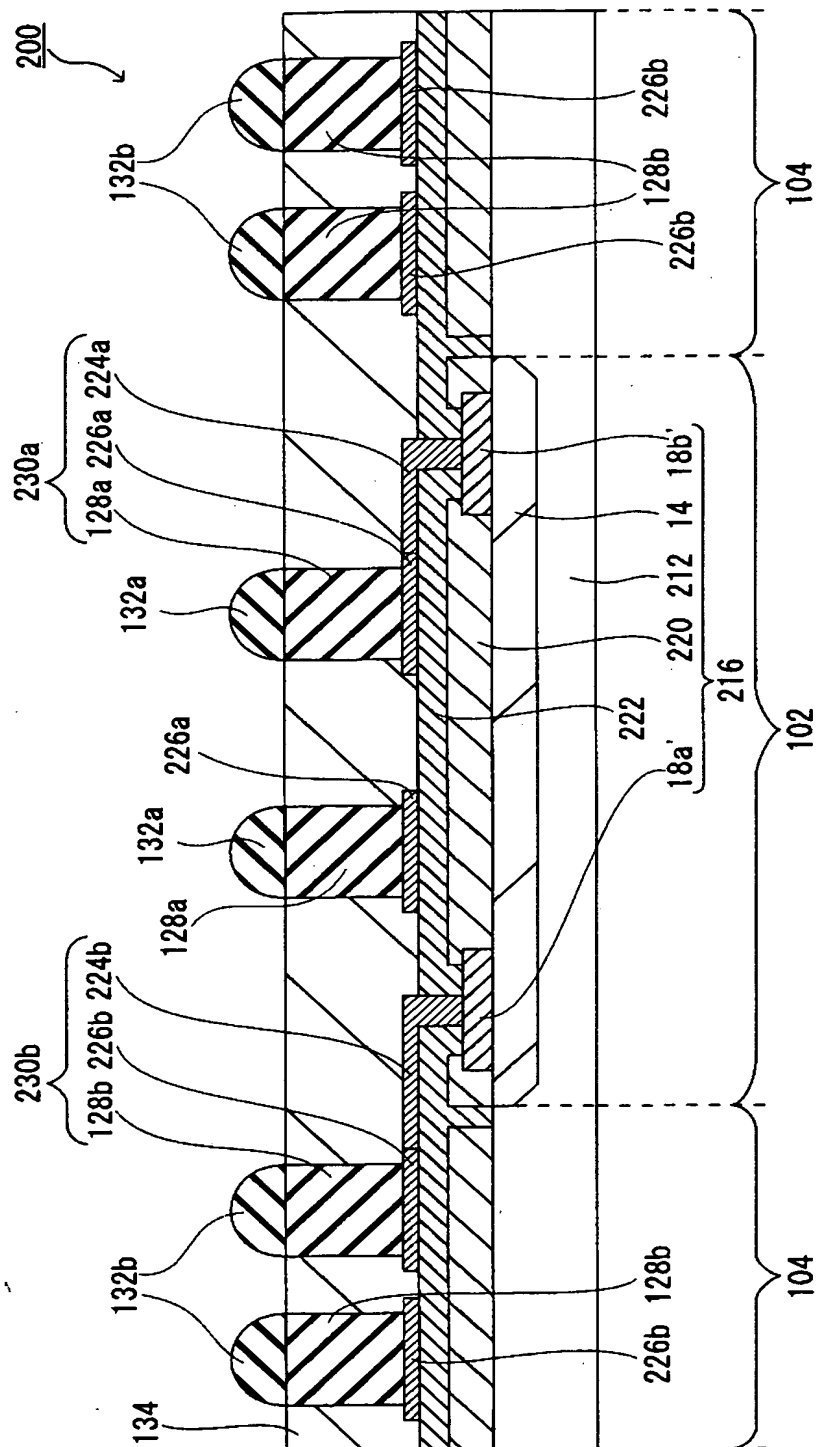
230ba: 下部電極用第 2 配線構造

230bc: インダクタ用第 2 配線構造

232bb: 上部電極用第 2 外部端子

第 2 の実施の形態の半導体装置の構成例

【図 17】



224a: 第 1 再配線層

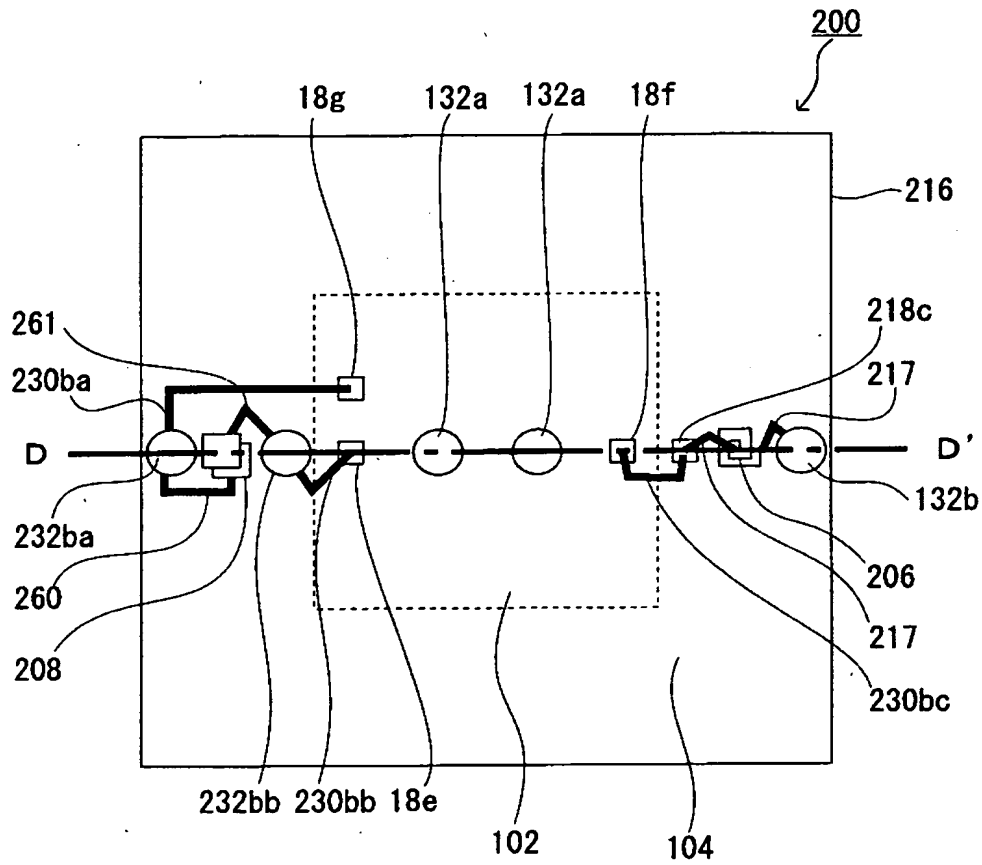
224b: 第 2 再配線層

226a: 第 1 ポスト用パッド

226b: 第 2 ポスト用パッド

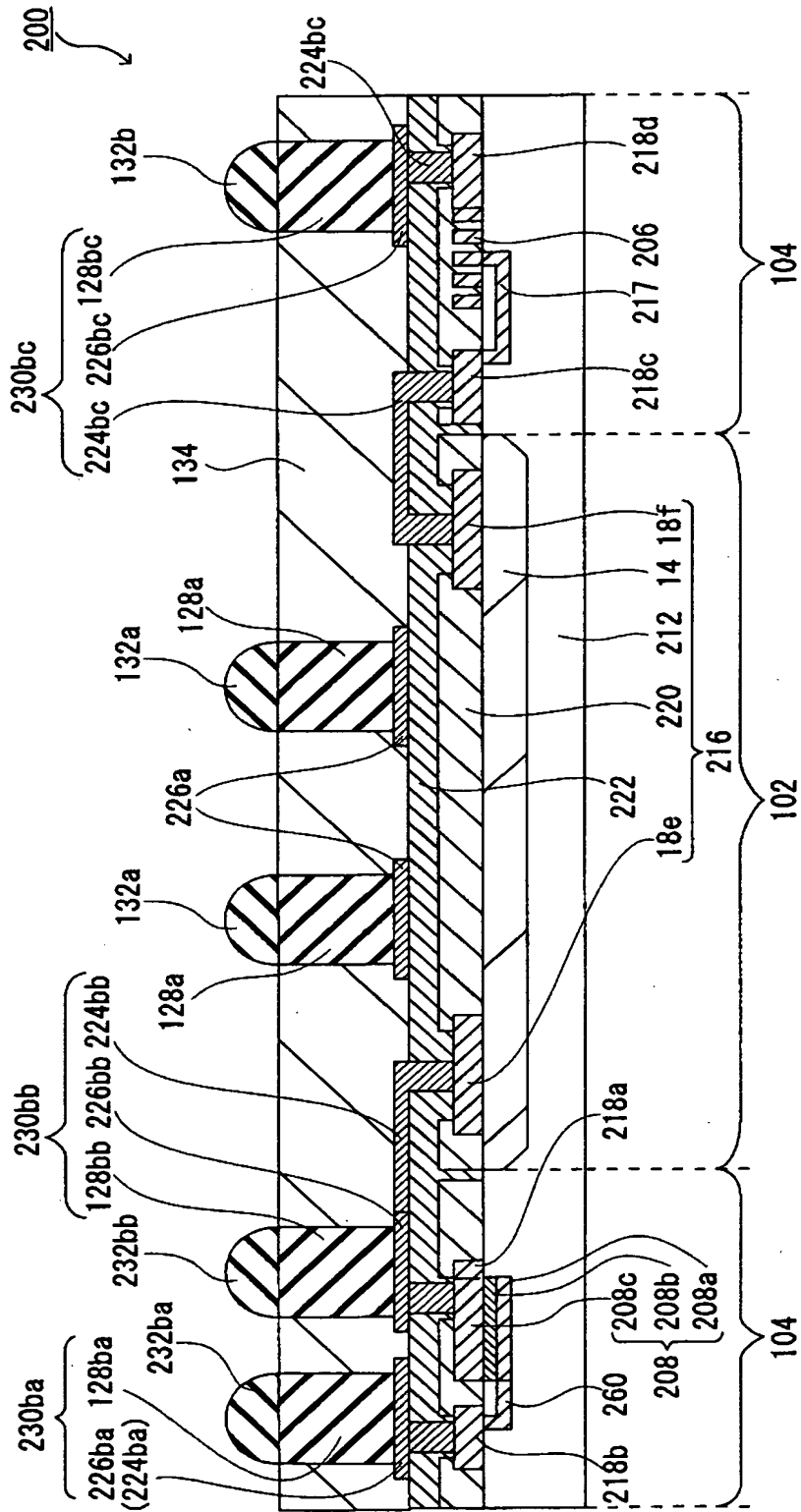
第 2 の実施の形態の第 1 及び第 2 配線構造の構成例

【図 1 8】



第 2 の実施の形態の受動素子の構成例（その 1）

【図 19】



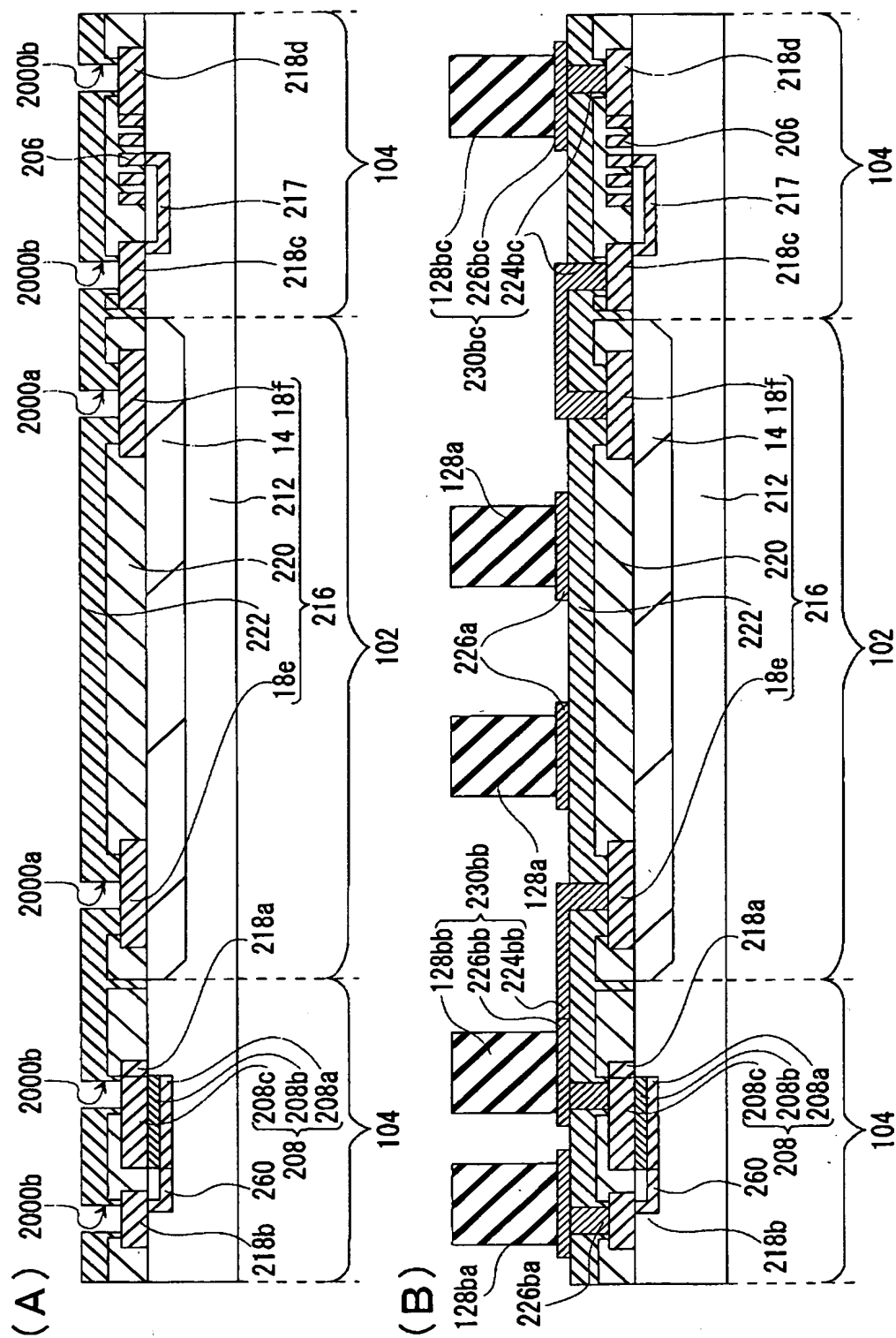
226ba: 下部電極用パッド

224bc: インダクタ用再配線層
226bc: インダクタ用パッド

224bb: 上部電極用再配線層
226bb: 上部電極用パッド

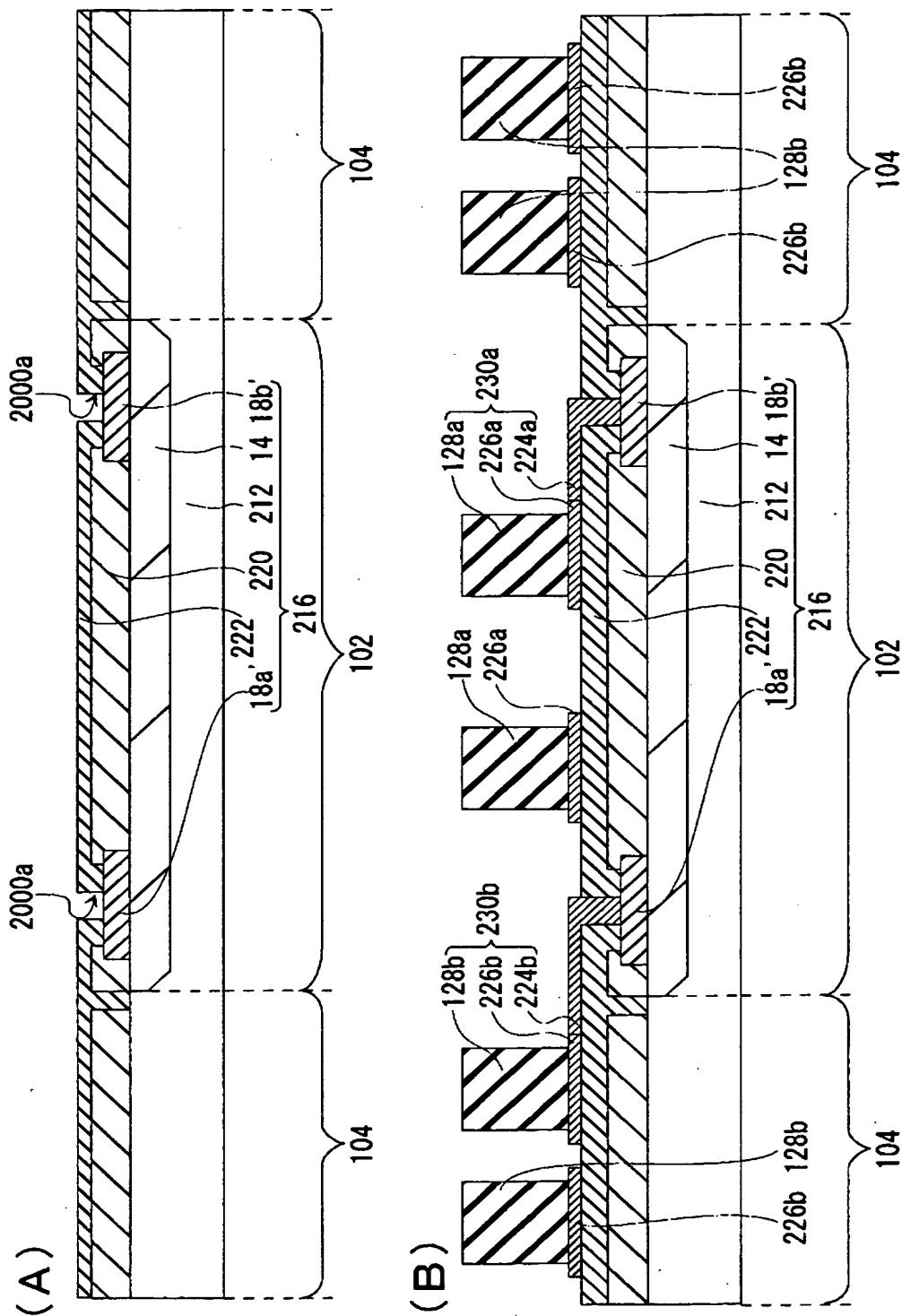
第 2 の実施の形態の受動素子の構成例 (その 2)

【図 20】



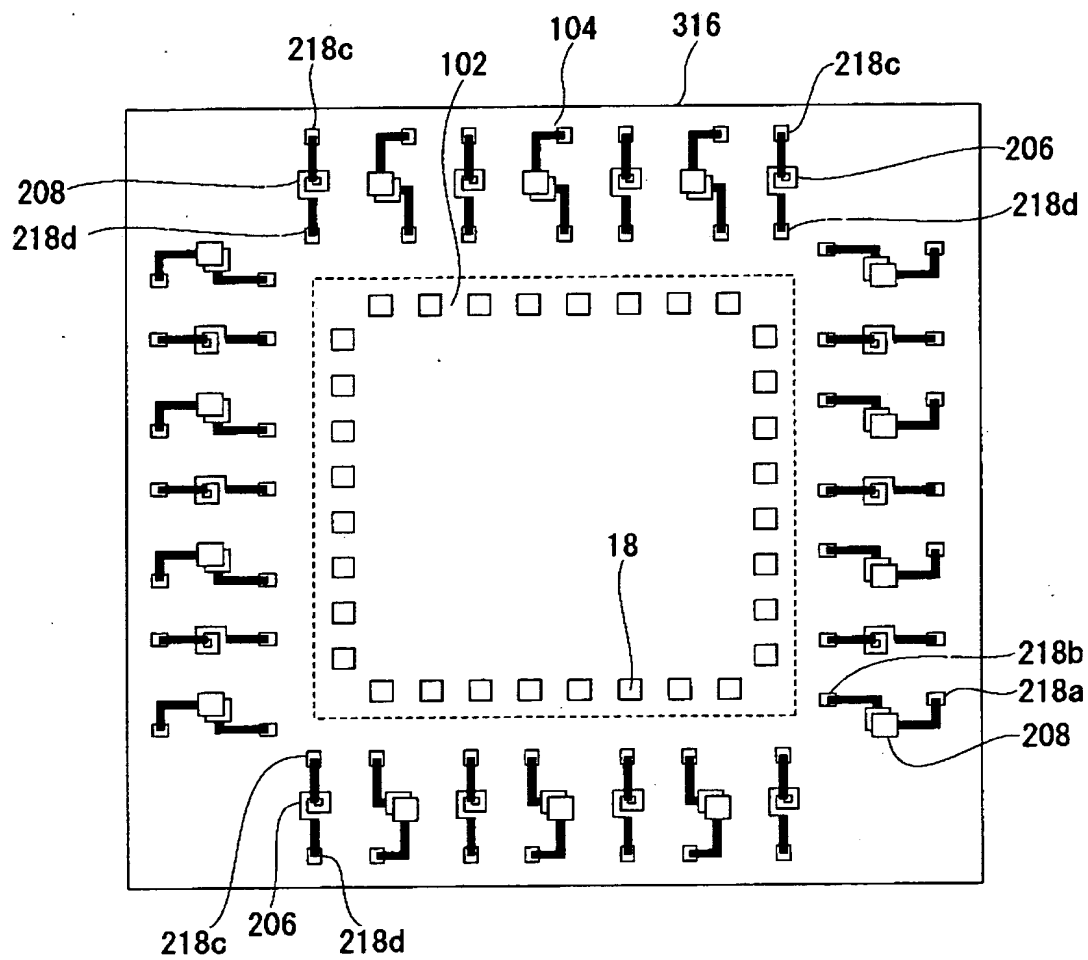
2000a, 2000b:開口部
第2の実施の形態の製造工程図（その1）

【図 21】



第2の実施の形態の製造工程図 (その2)

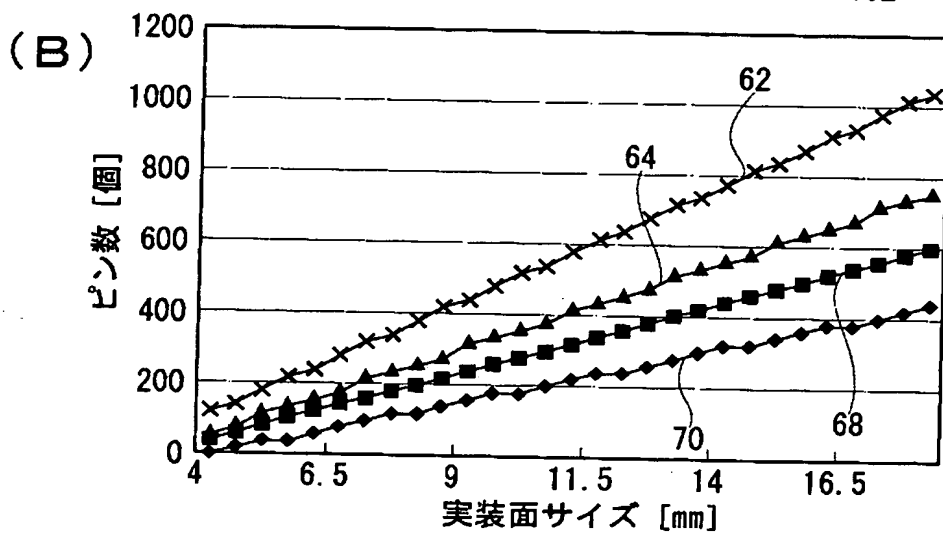
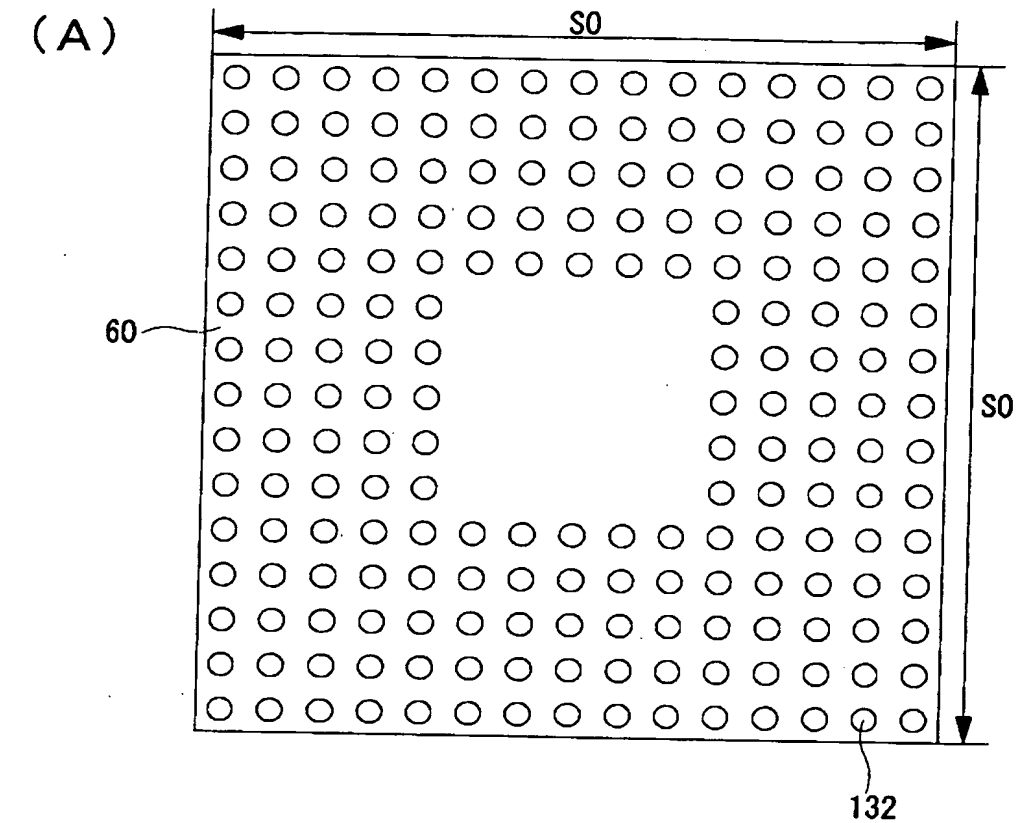
【図 2 2】



316:新チップ

第 3 の実施の形態の新チップの構成例

【図 23】



60: 半導体装置の実装面
68: 第 3 特性

62: 第 1 特性
70: 第 4 特性

64: 第 2 特性
132: 外部端子

実装面のピン数に関する説明図

【書類名】 要約書

【要約】

【課題】 実装面サイズを増加させることによって多ピン化を容易に実現する。

【解決手段】 半導体ウェハ上で、従来の半導体チップと同様の構成を有する第1領域102と、その周辺領域である第2領域104とで新チップ116領域を定める。第1領域102上の複数の回路素子接続用パッド18を再配線するため、第1及び第2領域102及び104上に、第1及び第2外部端子132a及び132bと、個別の配線構造（例えば第1及び第2配線構造130a及び130b）を形成してある。第2領域104上に延在させて形成してある配線構造（例えば第2配線構造130b）の一部に、電氣的に直列に接続させた受動素子106及び108を設けてある。

【選択図】 図1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 3 4 6 2 5 6
受付番号	5 0 2 0 1 8 0 4 3 3 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 1 月 2 9 日

< 認定情報・付加情報 >

【提出日】 平成14年11月28日

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社